

MULTIPROCESSOR SYSTEM AND NETWORK FOR THE SAME

Publication number: JP9138782 (A)

Also published as:

Publication date: 1997-05-27

JP3691134 (B2)

Inventor(s): HAMANAKA NAOKI; IRIE NAOHIKO; OKADA TETSUHIKO;
MOCHIDA TETSUYA; SHIBATA MASABUMI; HAYASHI
TAKEHISA

Applicant(s): HITACHI LTD

Classification:

- **international:** G06F15/167; G06F12/06; G06F12/08; G06F13/12; G06F13/14;
G06F15/163; G06F15/16; G06F12/06; G06F12/08; G06F13/12;
G06F13/14; (IPC1-7): G06F15/163; G06F12/08

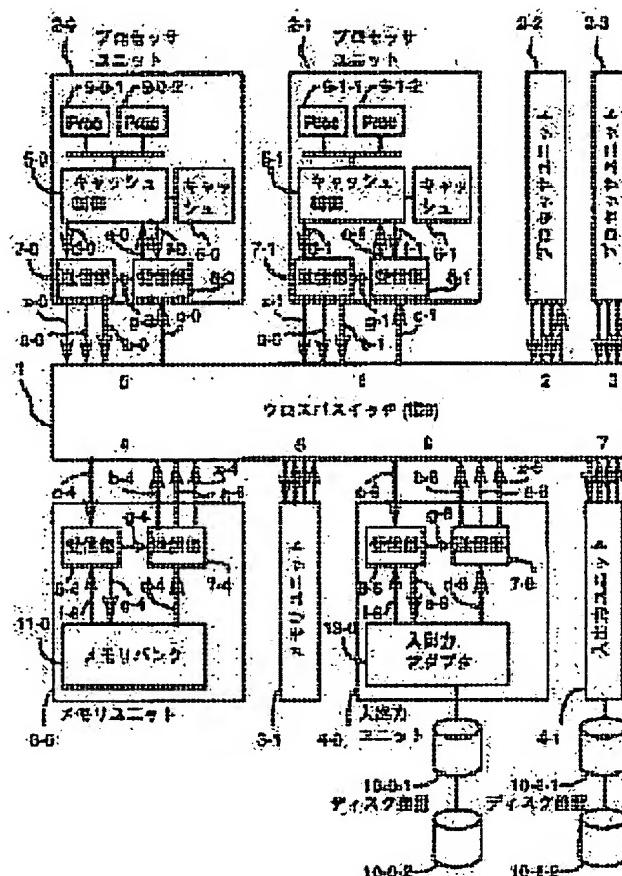
- **European:**

Application number: JP19950296479 19951115

Priority number(s): JP19950296479 19951115

Abstract of JP 9138782 (A)

PROBLEM TO BE SOLVED: To permit the other cache to easily monitor memory access which any of processor units outputs through the use of an inter-connect network and to simplify a circuit deciding the transmission destination of an access request to a memory mapped register. **SOLUTION:** Circuits for deciding the transmission destinations of the access requests are provided in the transmission parts 7-0 to 7-3 of the respective processor units 2-0 to 2-3. The access requests are locally broadcasted to all the processor units 2-0 to 2-3 and only one memory unit holding the data through a cross bar switch 1 in the case of the access requests to main storage data. In the case of the access request to the memory mapped register in an input/output device, the access requests are partially broadcasted to all the input/output units 4-0 and 4-1. In the case of the access request to the memory mapped register belonging to any of the processor units 2-0 to 2-3, the memory units 3-0 and 3-1 or the input/output units 4-0 and 4-1, the access requests are broadcasted to all the units through the cross bar switch 1.



Data supplied from the esp@cenet database — Worldwide

Family list

4 application(s) for: JP9138782 (A)

1 MULTIPROCESSOR SYSTEM**Inventor:** OKADA TETSUHIKO ; HAMANAKA NAOKI (+6)**EC:****Publication info:** JP9138783 (A) — 1997-05-27
JP3661249 (B2) — 2005-06-15**Applicant:** HITACHI LTD**IPC:** G06F15/173; G06F15/177; G06F15/16; (+1)**2 MULTIPROCESSOR SYSTEM AND NETWORK FOR THE SAME****Inventor:** HAMANAKA NAOKI ; IRIE NAOHIKO (+4)**EC:****Publication info:** JP9138782 (A) — 1997-05-27
JP3691134 (B2) — 2005-08-31**Applicant:** HITACHI LTD**IPC:** G06F15/167; G06F12/06; G06F12/08; (+10)**3 Multi-processor system and its network****Inventor:** OKADA TETSUHIKO [JP] ; HAMANAKA NAOKI [JP] (+6)**EC:** G06F15/173N4S**Applicant:** HITACHI LTD [JP]**IPC:** G06F15/173; G06F15/16; (IPC1-7): G06F13/38; (+1)**Publication info:** US6011791 (A) — 2000-01-04**4 Multi-processor system and its network****Inventor:** OKADA TETSUHIKO [JP] ; HAMANAKA NAOKI [JP] (+6)**EC:** G06F15/173N4S**Applicant:** HITACHI LTD [JP]**IPC:** G06F15/173; G06F15/16; (IPC1-7): H04L12/66**Publication info:** US6728258 (B1) — 2004-04-27

Data supplied from the **esp@cenet** database — Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-138782

(43)公開日 平成9年(1997)5月27日

(51)Int.Cl.
G 0 6 F 15/163
12/08

識別記号 庁内整理番号
7623-5B

F I
C 0 6 F 15/16
12/08

技術表示箇所
3 2 0 K
H

審査請求 未請求 請求項の数10 O L (全 21 頁)

(21)出願番号 特願平7-296479

(22)出願日 平成7年(1995)11月15日

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 濱中 直樹

東京都国分寺市東恋ヶ窓1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 入江 直彦

東京都国分寺市東恋ヶ窓1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 岡田 哲彦

神奈川県川崎市幸区鹿島田890番地 株式
会社日立製作所情報・通信開発本部内

(74)代理人 弁理士 薄田 利幸

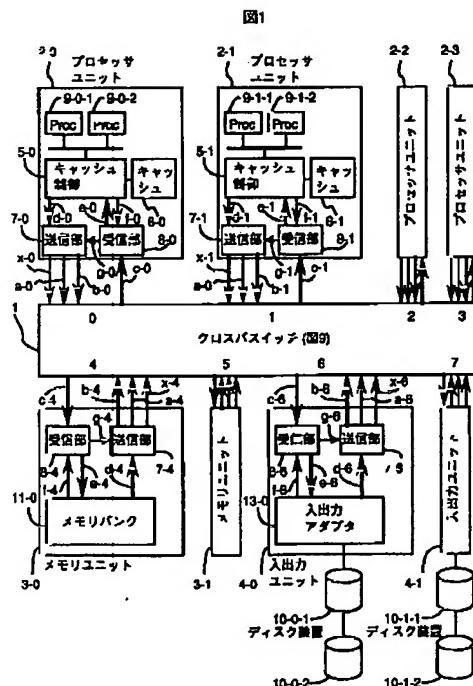
最終頁に続く

(54)【発明の名称】 マルチプロセッサシステムおよびそのためのネットワーク

(57)【要約】

【課題】 いずれかのプロセッサユニットが送出するメモリアクセスをインタコネクトネットワークを用いて他のキヤッシュが簡単に監視でき、さらに、メモリマップドレジスタへのアクセス要求の送出先を決定する回路を簡単化する。

【解決手段】 各プロセッサユニットの送信部7-i内に以下のようにアクセス要求の送付先を決める回路を設ける。主記憶データへのアクセス要求の場合、全てのプロセッサユニットとそのデータを保持している一つのメモリユニットのみに、そのアクセス要求をクロスバスイッチ1を介して部分放送する。入出力装置内のメモリマップドレジスタに対するアクセス要求の場合には、全ての入出力ユニットにこのアクセス要求を部分放送する。プロセッサユニット、メモリユニットあるいは入出力ユニットのいずれに属するメモリマップドレジスタに対するアクセス要求の場合、全てのユニットにこのアクセス要求をクロスバスイッチ1を介して放送する。



【特許請求の範囲】

【請求項1】複数のプロセッサユニットと、該複数のメモリユニットと、該複数の入出力ユニットと、該複数のプロセッサユニット、該複数のメモリユニットおよび該複数の入出力ユニットを相互に接続し、それらの間で複数のデータを並列に転送するためのネットワークと、それぞれ該複数の入出力ユニットの一つに接続された複数の入出力装置と、それぞれ該複数のプロセッサユニット、該複数のメモリユニットおよび該複数の入出力ユニットおよび該複数の入出力装置の内のいずれか一つに含まれた複数のメモリマップレジスタとを有し、各メモリユニットは、それぞれ該複数のプロセッサユニットにより共有される主記憶の一部分を構成する複数の主記憶部分の一つを有し、該複数の主記憶部分には、それぞれ所定のアドレス空間の第1の領域内の互いに異なる複数の部分領域が割り当てられ、該複数のレジスタは、該アドレス空間の該第1の領域と異なる他の領域を割り当てられ、各プロセッサユニットは、少なくとも一つのプロセッサと、該複数の主記憶部分に対するキャッシュメモリと、該キャッシュメモリに対するキャッシュ制御回路であって、該プロセッサから供給されたデータ読み出し要求が指定するアドレスのデータに関して該キャッシュメモリのヒットチェックを行う手段を有するものと、該ヒットチェックの結果、該キャッシュメモリがヒットしなかったときに、該複数のプロセッサユニットと、該第1の領域内の該複数の部分領域の内、該指定されたアドレスが属する一つの部分領域が割り当てられている一つの部分主記憶を有する一つのメモリユニットとを、該データ読み出し要求の複数の送出先として決定し、それらのユニットへの該データ読み出し要求の部分放送を該ネットワークに要求する送出先決定回路を有するマルチプロセッサシステム。

【請求項2】該アドレス空間の該第1の領域は、キャッシング可能な複数のデータとキャッシング不可能な複数のデータに割り当てられ、該アドレス空間の該第1の領域と異なる該他の領域は、キャッシング不可能な複数のデータに割り当てられ、該送出先決定回路は、該データ読み出し要求がキャッシング可能なデータに対する読み出し要求であり、さらに、該データ読み出し要求により指定された該アドレスが該複数の部分領域の一つに属するときに、該複数のプロセッサユニットと、該複数のメモリユニットの内、該一つ部分領域が割り当てられている一つの部分主記憶を有する一つのメモリユニットを該データ読み出し要求の複数の送出先として決定する手段を有する請求項1記載

のマルチプロセッサシステム。

【請求項3】該ネットワークは、それぞれ該複数のプロセッサユニット、該複数のメモリユニットおよび該複数の入出力ユニットのいずれか一つに接続された複数の入力端子と、それぞれ該複数のプロセッサユニット、該複数のメモリユニットおよび該複数の入出力ユニットのいずれか一つに接続された複数の出力端子と、それぞれ該複数の入力端子の一つに対応して設けられ、対応する入力端子に入力された、転送データを該複数の出力ポートの各々に転送すべきか否かを指定する転送要求を保持する複数のレジスタと、該複数のレジスタに接続され、該複数の入力端子と該複数の出力端子の間で複数のデータ読み出し要求を並列に転送するためのスイッチ回路であって、該複数のレジスタのいずれかに保持された転送要求に応答して、そのレジスタが対応する入力端子に入力されたデータ読み出し要求を、該複数の出力端子の内、その転送要求が指定する複数の出力端子に並列に転送する手段を有するものとを有し、各プロセッサユニット内の該送出先決定回路は、該複数の入力端子の内、そのプロセッサユニットに対応して設けられた一つの入力端子に該データ読み出し要求を該ネットワークにより転送すべきデータとして供給し、該ネットワーク内の該複数のレジスタの内、該一つの入力端子に対応する一つのレジスタに、該決定した複数の送出先に対応する複数の出力端子へ該データ読み出し要求を転送することを要求する転送要求を供給する手段を有する請求項1記載のマルチプロセッサシステム。

【請求項4】該ネットワークは、それぞれ複数のデータを並列に転送可能な、同じ構造を有する複数の大規模集積回路(LSI)により構成され、各LSIは、

それぞれ該複数のプロセッサユニット、該複数のメモリユニットおよび該複数の入出力ユニットのいずれか一つに接続された複数の入力端子と、それぞれ該複数のプロセッサユニット、該複数のメモリユニットおよび該複数の入出力ユニットのいずれか一つに接続された複数の出力端子とを有し、各プロセッサユニットは、

そのプロセッサユニット内の該送信先決定回路により供給されるデータ読み出し要求を該複数のLSIと同数である複数の要求部分に分割するビットライス回路と、該送信先決定回路により供給される該転送要求を該複数のLSIに並列に供給する手段であって、各LSIに含まれる該複数の入力端子の内、そのプロセッサユニットに対応する一つの入力端子に該転送要求を送出するものと、

該複数の要求部分を該複数のLSIに並列に供給する手段であって、該転送要求を該複数のLSIに供給した後

に、各要求部分を、該複数のLSIの一つに含まれる該複数の入力端子の内、そのプロセッサユニットに対応する一つに送出するものと有し、

各LSIは、

それぞれそのLSIに含まれる該複数の入力端子の一つに対応して設けられ、それぞれ対応する一つの入力端子から入力されるデータ読み出し要求を保持するための複数の転送データ用レジスタと、

それぞれそのLSIに含まれる該複数の入力端子の一つに対応して設けられ、それぞれ対応する一つの入力端子から入力される転送要求を保持するための複数の転送要求用レジスタと、

該複数の入力端子の一つから転送要求が入力されたときに、該複数の転送要求保持用のレジスタの内、その入力端子に対応して設けられた一つのレジスタにその転送要求をセットし、その入力端子からその後、データ読み出し要求が入力されたときに、該複数の転送データ用レジスタの内、その入力端子に対応して設けられた一つのレジスタに、該データ読み出し要求をセットする手段と、該複数の転送データ用レジスタと該複数の転送要求用レジスタに接続され、該複数の入力端子と該複数の出力端子の間で複数のデータ読み出し要求を並列に転送するためのスイッチ回路であつて、該複数の転送要求用レジスタのいずれかに保持された転送要求に応答して、該複数の転送データ用のレジスタの内、該一つの入力端子に対応する一つの転送データ用レジスタにセットされたデータ読み出し要求を、該複数の出力端子の内、その転送要求が指定する複数の出力端子に並列に転送する手段を有するものとを有する請求項3記載のマルチプロセッサ。

【請求項5】複数のプロセッサユニットと、

複数のメモリユニット

複数の入出力ユニットと、

該複数のプロセッサユニット、該複数のメモリユニットおよび該複数の入出力ユニットを相互に接続し、それらの間で複数のデータを並列に転送するためのネットワークと、

それぞれ該複数の入出力ユニットの一つに接続された複数の入出力装置と、

それぞれ該複数のプロセッサユニット、該複数のメモリユニットおよび該複数の入出力ユニットおよび該複数の入出力装置の内のいずれか一つに含まれた複数のメモリマップドレジスタとを有し、

各メモリユニットは、それぞれ該複数のプロセッサユニットにより共有される主記憶の一部分を構成する複数の主記憶部分の一つを有し、該複数の主記憶部分には、それぞれ所定のアドレス空間の第1の領域内の互いに異なる複数の部分領域が割り当てられ、

該複数のレジスタの内、該プロセッサユニット、該メモリユニット、該入出力ユニットのいずれか一つにそれぞれ含まれた複数のレジスタは、該アドレス空間内の、該

第1の領域と異なる第2の領域を割り当てられ、該複数のレジスタの内、該複数の入出力装置のいずれか一つにそれぞれ含まれた複数のレジスタは、該アドレス空間内の、該第1、第2の領域と異なる第3の領域を割り当てられ、

各プロセッサユニットは、

少なくとも一つのプロセッサと、

該複数の主記憶部分に対するキャッシュメモリと、該キャッシュメモリに対するキャッシュ制御回路であつて、該プロセッサから供給されたデータ読み出し要求が指定するアドレスのデータに関して該キャッシュメモリのヒットチェックを行う手段を有するものと、

該ヒットチェックの結果、該キャッシュメモリがヒットしなかったときに、該データ読み出し要求を送出すべき一つまたは複数の送出先を決定し、該決定された一つまたは複数の送出先への該データ読み出し要求の送出を該ネットワークに要求する送出先決定回路であつて、該データ読み出し要求により指定された該アドレスが該第3の領域に属するか否かを判別し、該アドレスが該第3の領域に属するときに、該複数の入出力ユニットを、該データ読み出し要求の複数の送出先として決定する手段を有し、

各入出力ユニットは、該ネットワークを介していずれかのプロセッサユニットから転送されたデータ読み出し要求を、その入出力ユニットに接続された一つまたは複数の入出力装置の各々に転送する手段を有し、

各入出力装置は、該複数の入出力ユニットの内、その入出力装置が接続された一つの入出力ユニットから転送されたデータ読み出し要求に応答し、そのデータ読み出し要求が指定するアドレスが割り当てられているレジスタがその入出力装置に含まれているか否かを判別し、そのレジスタがその入出力装置内に含まれているときには、そのレジスタに対してそのデータ読み出し要求を実行する回路を有するマルチプロセッサシステム。

【請求項6】各プロセッサユニットの該送出先決定回路は、該データ読み出し要求により指定された該アドレスが該第2の領域に属するか否かを判別し、該アドレスが該第2の領域に属するときに、該複数のプロセッサユニット、該複数のメモリユニットおよび該複数の入出力ユニットを、該データ読み出し要求の複数の送出先として決定する手段をさらに有し、

該複数のプロセッサユニット、該複数のメモリユニットおよび該複数の入出力ユニットの各々は、該ネットワークを介していずれかのプロセッサユニットから転送されたデータ読み出し要求に応答し、そのデータ読み出し要求が指定するアドレスが割り当てられているレジスタがそのユニットに含まれているか否かを判別し、そのレジスタがそのユニットに含まれているときには、そのレジスタに対してそのデータ読み出し要求を実行する回路を有する請求項5記載のマルチプロセッサシステム。

【請求項7】該ネットワークは、

それぞれ該複数のプロセッサユニット、該複数のメモリユニットおよび該複数の入出力ユニットのいずれか一つに接続された複数の入力端子と、
それぞれ該複数のプロセッサユニット、該複数のメモリユニットおよび該複数の入出力ユニットのいずれか一つに接続された複数の出力端子と、
それぞれ該複数の入力端子の一つに対応して設けられ、対応する入力端子に入力された、転送データを該複数の出力ポートの各々に転送すべきか否かを指定する転送要求を保持する複数のレジスタと、
該複数のレジスタに接続され、該複数の入力端子と該複数の出力端子の間で複数のデータ読み出し要求を並列に転送するためのスイッチ回路であって、該複数のレジスタのいずれかに保持された転送要求に応答して、そのレジスタが対応する入力端子に入力されたデータ読み出し要求を、該複数の出力端子の内、その転送要求が指定する複数の出力端子に並列に転送する手段を有するものと有し、

各プロセッサユニット内の該送出先決定回路は、該複数の入力端子の内、そのプロセッサユニットに対応して設けられた一つの入力端子に該データ読み出し要求を該ネットワークにより転送すべきデータとして供給し、該ネットワーク内の該複数のレジスタの内、該一つの入力端子に対応する一つのレジスタに、該複数の送出先の決定手段により決定されたされた複数の送出先に対応する複数の出力端子へ該データ読み出し要求を転送することを要求する転送要求を供給する手段を有する請求項5記載のマルチプロセッサシステム。

【請求項8】該ネットワークは、それぞれ複数のデータを並列に転送可能な、同じ構造を有する複数の大規模集積回路（LSI）により構成され、

各LSIは、

それぞれ該複数のプロセッサユニット、該複数のメモリユニットおよび該複数の入出力ユニットのいずれか一つに接続された複数の入力端子と、

それぞれ該複数のプロセッサユニット、該複数のメモリユニットおよび該複数の入出力ユニットのいずれか一つに接続された複数の出力端子とを有し、

各プロセッサユニットは、

そのプロセッサユニット内の該送信先決定回路により供給されるデータ読み出し要求を該複数のLSIと同数である複数の要求部分に分割するビットスライス回路と、該送信先決定回路により供給される該転送要求を該複数のLSIに並列に供給する手段であって、各LSIに含まれる該複数の入力端子の内、そのプロセッサユニットに対応する一つの入力端子に該転送要求を送出するものと、

該複数の要求部分を該複数のLSIに並列に供給する手段であって、該転送要求を該複数のLSIに供給した後

に、各要求部分を、該複数のLSIの一つに含まれる該複数の入力端子の内、そのプロセッサユニットに対応する一つに送出するものを有し、

各LSIは、

それぞれそのLSIに含まれる該複数の入力端子の一つに対応して設けられ、それぞれ対応する一つの入力端子から入力されるデータ読み出し要求を保持するための複数の転送データ用レジスタと、

それぞれそのLSIに含まれる該複数の入力端子の一つに対応して設けられ、それぞれ対応する一つの入力端子から入力される転送要求を保持するための複数の転送要求用レジスタと、

該複数の入力端子の一つから転送要求が入力されたときに、該複数の転送要求保持用のレジスタの内、その入力端子に対応して設けられた一つのレジスタにその転送要求をセットし、その入力端子からその後、データ読み出し要求が入力されたときに、該複数の転送データ用レジスタの内、その入力端子に対応して設けられた一つのレジスタに、該データ読み出し要求をセットする手段と、該複数の転送データ用レジスタと該複数の転送要求用レジスタに接続され、該複数の入力端子と該複数の出力端子の間で複数のデータ読み出し要求を並列に転送するためのスイッチ回路であって、該複数の転送要求用レジスタのいずれかに保持された転送要求に応答して、該複数の転送データ用のレジスタの内、該一つの入力端子に対応する一つの転送データ用レジスタにセットされたデータ読み出し要求を、該複数の出力端子の内、その転送要求が指定する複数の出力端子に並列に転送する手段を有するものと有する請求項7記載のマルチプロセッサ。

【請求項9】複数の入力端子と、

複数の出力端子と、

それぞれ該複数の入力端子の一つに対応して設けられ、対応する入力端子に入力された、転送データを該複数の出力ポートの各々に転送すべきか否かを指定する転送要求を保持する複数の転送要求用レジスタと、

該複数のレジスタに接続され、該複数の入力端子と該複数の出力端子の間で複数のデータを並列に転送するためのスイッチ回路であって、該複数のレジスタのいずれかに保持された転送要求に応答して、そのレジスタが対応する入力端子に入力されたデータを、該複数の出力端子の内、その転送要求が指定する複数の出力端子に並列に転送する手段を有するものと有するネットワーク。

【請求項10】該複数の入力端子の一つに対応して設けられ、それぞれ対応する一つの入力端子から入力される転送すべきデータを保持するための複数の転送データ用レジスタと、

該複数の入力端子の一つから転送要求が入力されたときに、該複数の転送要求保持用のレジスタの内、その入力端子に対応して設けられた一つのレジスタにその転送要求をセットし、その入力端子からその後、転送すべきデ

ータが入力されたときに、該複数の転送データ用レジスタの内、その入力端子に対応して設けられた一つのレジスタに、該データ読み出し要求をセットする手段とをさらに有し、該スイッチ回路内の該転送手段は、該複数の転送データ用レジスタと該複数の転送要求用レジスタに接続され、該複数の転送要求用レジスタのいずれかに保持された転送要求に応答して、該複数の転送データ用のレジスタの内、該一つの入力端子に対応する一つの転送データ用レジスタにセットされた転送すべきデータを、該複数の出力端子の内、その転送要求が指定する複数の出力端子に並列に転送する手段を有する請求項9記載のネットワーク。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高性能を実現するために複数のプロセッサにより構成されたマルチプロセッサシステムに関連する。

【0002】

【従来の技術】高性能の電子計算機システムとして、複数のプロセッサが主記憶を共有する密結合マルチプロセッサシステムがある。このようなシステムでは、共有された主記憶へのアクセスの競合を低減するために、これらのプロセッサのそれぞれに対応して、プライベートなキャッシュが使用される。これらのキャッシュの使用に伴い、キャッシュ間の一致制御をどのように行うかが問題となる。従来のいろいろのマルチプロセッサシステムが特開平4-328653(以下、参考文献1と呼ぶ)の従来の技術の欄において紹介されている。

【0003】最も代表的な従来のマルチプロセッサシステムは、スヌーピーキャッシュ方式といわれるもので、共通のバス(アドレスバス、データバス、制御バスを含むものでスヌーピーバスとも呼ばれる)に、複数のプロセッサに対するキャッシュと共有メモリとが接続され、各プロセッサは、対応するキャッシュと、このバスを介して共有主記憶をアクセスするようになっている。さらに各キャッシュは、この共通のバス上の信号により他のキャッシュによる共有主記憶へのアクセスを監視し、他のキャッシュが共有主記憶に現にアクセスしたときに、自キャッシュに対してキャッシュ間一致制御のための動作を行うように構成されている。この従来技術では、複数のキャッシュ間の一致制御が比較的簡単なハードウエアにより実現されるという利点がある。その反面、いずれかのキャッシュから共有主記憶へアクセスするとき、共通のバスがデータとアドレスの転送に使用されるため、異なるキャッシュから共有主記憶へのアクセスは逐次的に行わざるを得ないし、さらに、バスネックによりせいぜい十数台規模のシステムしか実現できないという問題がある。

【0004】この問題を解決するために、共有バスに代

えて、並列に複数のデータを転送するインタコネクトネットワークを使用するマルチプロセッサシステムもいろいろ知られている。この種のシステムにおいては、上記スヌーピー方式における問題がない反面、複数のキャッシュ間の一致制御をいかに実現するかの問題がある。上記参考文献1によれば、各キャッシュが、他のキャッシュによる全てのメモリアクセスを監視可能にすることが難しいことが記載されている。このため、キャッシュ間の一致制御をハードウエアで実現するのではなく、ソフトウェアで一致制御を実現する方法も紹介されている。

【0005】さらに、スヌーピー用のバスと、インタコネクトネットワークを併用することも知られているキャッシュ間の一致制御を必要としないメモリアクセスに対しては、インタコネクトネットワークを使用し、キャッシュ間の一致制御を必要とするメモリアクセスに対しては、従来通りスヌーピーバスを使用する。この方法では、従来のスヌーピー方式そのものに比べて性能の向上はそれほど大きくない。

【0006】上記参考文献1では、この従来の方法より高い性能を実現するために、アドレスバスと制御バスを含み、データバスを含まない変形スヌーピーバスを、インタコネクトネットワークと併用する発明を開示している。すなわち、各キャッシュは、従来と同様にキャッシュ間の一致制御を変形スヌーピーバス上のアドレスとコマンドを使用してハードウエア的に行うが、この一致制御のために実行されるキャッシュと主記憶間あるいは複数のキャッシュの間のキャッシュブロックの移動は、インタコネクトネットワークを介して行う。この方法によれば、各キャッシュは、一つのメモリアクセスに対して、一致制御のための動作の内、データ移動以外の部分をアドレスとコマンドを使用して1サイクル程度で行うことが出来るので、各キャッシュは、複数のメモリアクセスに対してキャッシュブロックの移動以外の一致制御動作部分を次々と行うことが出来る。各メモリアクセスに対する一致制御動作のためのキャッシュブロックの移動は、複数サイクル必要であるが、インタコネクトネットワークを利用して、キャッシュと主記憶の異なる組の間あるいはキャッシュの異なる組の間で異なるキャッシュブロックを並列に移動できる。一般にアドレスの大きさに比べてキャッシュブロックの大きさは大きく、アドレス転送は1サイクルで終了するがキャッシュブロックの転送に複数サイクルが必要になる。例えば、キャッシュブロックの転送に8サイクル必要と仮定すると、1サイクルのアドレス転送に対して8サイクルのキャッシュブロック転送が必要である。そのため、上記のようにしてアドレスはバスで転送しつつ、キャッシュブロックの転送をクロスバスイッチによって並列化することによって、アドレス、キャッシュブロックの双方をバスで転送する従来のスヌーピー方式のシステムに比べて大幅な性能向上を可能にしている。なお、この発明では、インタコ

ネットワークとして、クロスバスイッチその他のいろいろのネットワークが使用できることもこの参考文献1に記載されている。

【0007】なお、この発明を使用したと思われる製品が、COMPON '95会議録の第102頁ないし第109頁（以下、参考文献2と呼ぶ）に記載されている。ここには、複数のプロセッサと、メモリと、複数の入出力ユニットと、それらを接続するアドレスバスおよびクロスバスイッチと、上記複数の入出力ユニットに接続された複数の入出力装置を含むマルチプロセッサシステムが開示されている。

【0008】さらに、従来技術として、いわゆるメモリマップドI/O方式が知られている。すなわち、システム内のいろいろの制御レジスタあるいはデータレジスタ等が、主記憶が属するのと同じアドレス空間にマップされ、主記憶をアクセスするのに使用するメモリアクセス命令と同じ形式の命令でもってアクセスされる。従来のメモリ共有型のマルチプロセッサシステムでは、いわゆるメモリマップドI/O方式が広く採用されている。しかし、上記参考文献1あるいは2は、それらに開示された、インタコネクトネットワークを使用したマルチプロセッサシステムに使用されるメモリマップドレジスタあるいはそのアクセス方法には触れていない。

【0009】

【発明が解決しようとする課題】上記参考文献1に記載された発明によれば、インタコネクトネットワークによるデータの並列転送を利用して、複数のメモリアクセスを並列に近い形で処理できる。しかし、この方法によれば、変形スヌーピバスを使用するので、バスネットにより、そのバスに接続できるプロセッサの総数は大きく限定されるという問題は残る。

【0010】さらに、いずれかのメモリマップドレジスタに対するアクセス要求もインタコネクトネットワークを介してそのレジスタが含まれるユニットに転送することがシステムの構造を簡単にするために望ましい。しかるに、アクセス要求が指定するアドレスに基づいて、そのアドレスを割り当てられたメモリマップドレジスタを含むユニットを判別するには、各ユニットに含まれる全てのメモリマップドレジスタに割り当てられたアドレスの分布範囲を示すアドレス割り付け情報を各ユニットに対応してシステム内に予め記憶し、上記アクセス要求が発生したときに、そのアクセス要求が指定するアドレスとこの記憶されたアドレス割り付け情報に基づいて、その指定されたアドレスを割り当てられているメモリマップドレジスタが属するユニットを判別する回路を使用する必要が生じる。

【0011】しかし、システムに含まれるメモリマップドレジスタの内、入出力ユニットに接続された入出力装置内のメモリマップドレジスタは、システム内の入出力装置の数あるいは配置が変更されることがあり、上記ア

ドレス割り付け情報をその都度変更する必要がある。したがって、上記アドレス割り付け情報を使用して、アクセス要求が指定するメモリマップドレジスタが属するユニットを判別する回路は、このようなアドレスの変更に応答することができるよう構成する必要があり、それだけ、この回路が複雑になる。

【0012】本願発明の目的は、いずれかのキャッシュが送出するメモリアクセスをインタコネクトネットワークを用いて他のキャッシュが監視可能にするマルチプロセッサシステムを提供することである。

【0013】本願発明のより具体的な目的は、そのような監視を可能とし、それでいてキャッシュを含まない入出力ユニット等へ悪影響を及ぼさないマルチプロセッサシステムを提供することである。

【0014】本願発明の他の目的は、アクセス要求が指定するメモリマップドレジスタにアクセス要求の送出先を決定する回路を簡単化出来るマルチプロセッサシステムを提供することである。

【0015】本願発明の他のより具体的な目的は、入出力装置に含まれるメモリマップドレジスタへのアクセス要求を、その入出力装置に転送するための回路を簡単化出来るマルチプロセッサシステムを提供することである。

【0016】本願発明のさらに他のより具体的な目的は、入出力装置の数あるいは組み合わせが変更された場合でも、いずれかの入出力装置に含まれるメモリマップドレジスタに対するアクセス要求を、その入出力装置に転送するための簡単な回路を有するマルチプロセッサシステムを提供することである。

【0017】

【課題を解決するための手段】本願発明の上記目的を達成するために、いずれかのプロセッサユニットにて、主記憶内のデータに対するアクセスが発生し、そのユニット内のキャッシュがヒットしなかった時に、そのアクセス要求を、そのアクセス要求が指定するアドレスが割り当てられている一つのメモリユニットと、全てのプロセッサユニットを、そのアクセス要求を送付すべき複数の送付先として決定する送付先決定回路を設けた。

【0018】本願発明の他の目的を達成するために、メモリマップドレジスタに対するアクセス要求の場合、その入出力装置に転送するための簡単な回路として、いずれかの入出力装置内のいずれかのメモリマップドレジスタに対するアクセス要求の場合には、全ての入出力ユニットにこのアクセス要求を部分放送する。

【0019】

【発明の実施の形態】以下、本発明に係るマルチプロセッサを図面に示したいくつかの実施の形態を参照してさらに詳細に説明する。なお、以下においては、同じ参考番号は同じものもしくは類似のものを表わすものとする。

【0020】<発明の実施の形態1>

(装置構成の概略) 図1は、本発明に係るマルチプロセッサシステムの第1の実施の形態を示す。図において、2-0から2-3はプロセッサユニットであり、3-0と3-1はメモリユニットであり、複数のプロセッサユニット2-0から2-3により共有される主記憶の一部を構成する複数の主記憶部分がこれらのメモリユニットに分散して保持される。4-0ないし4-1は入出力ユニットであり、それぞれ複数の入出力装置、たとえば、ディスク装置10-0-1ないし10-0-2および10-1-1ないし10-1-2に接続されている。これらの入出力ユニットには、他の入出力装置、たとえば、回線接続装置(図示せず)等も接続されている。1は、プロセッサユニット2-0ないし2-3、メモリユニット3-0ないし3-1、入出力ユニット4-0ないし4-1を相互に接続し、これらの間でのトランザクションと呼ぶひとかたまりのデータを複数個並列に転送可能なインタコネクトネットワークであり、本実施の形態ではその一例としてクロスバスイッチを使用する。

【0021】各プロセッサユニット2-i(i=0, 1, 2または3)は、同一の構造を有し、それぞれ1台以上のプロセッサ(Proc)9-i-1および9-i-2(i=0, 1, , ,)を内蔵する。主記憶に対するキャッシュメモリ6-iとキャッシュ制御5-iとを含む。各プロセッサ内には、キャッシュメモリ5-0よりも高速で容量の小さいプロセッサキャッシュ(図示せず)が内蔵されている。本実施の形態では、このプロセッサキャッシュとキャッシュメモリ6-iはいずれもストアイン方式のキャッシュであると仮定する。また、これらのキャッシュのキャッシュブロックの大きさは32バイトであると仮定する。各プロセッサユニット2-iには、さらに、ネットワーク1との間でデータを交換するための送信部7-iおよび受信部8-iがある。

【0022】各メモリユニット3-0または3-1は同一の構造を有し、メモリバンク11-0または11-1、送信部7-4または7-5および受信部8-4または8-5がある。メモリバンク11-0と11-1が主記憶を構成し、本実施の形態では、メモリアドレスは、32ビットであり、これらのメモリバンクからのデータの読み出しあるいは書き込み単位は、キャッシュブロックサイズ32ビットに等しく、さらに、これらのメモリバンクは、32バイトを単位にしてインタリーブされていると仮定する。

【0023】入出力ユニット4-0ないし4-1には、それぞれ入出力アダプタ13-0または13-1、送信部7-6または7-7および受信部8-6または8-7がある。入出力アダプタ13-0は、クロスバスイッチ1から受信した信号をディスク装置10-0-1ないし10-0-2等が受信可能な信号に変換し、あるいは逆に、ディスク装置10-0-1ないし10-0-2等か

ら受信した信号を、クロスバスイッチ1が受信可能な信号に変換する回路である。

【0024】これらのメモリユニット3-0または3-1内の送信部7-4と7-5あるいはこれらの入出力ユニット4-0または4-1内の送信部7-6または7-7の構造は、プロセッサユニット2-0内の送信部7-0と同一である。同様に、これらの入出力ユニットとメモリユニット内の受信部8-4から8-7の構造も、プロセッサユニット2-0内の受信部6-0と同一である。なお、図1では、簡単化のためメモリユニット3-1、入出力ユニット4-1の内部構成は図示していない。

【0025】プロセッサユニット2-0ないし2-3、メモリユニット3-0ないし3-1、入出力ユニット4-0ないし4-1、ディスク装置10-0-1ないし10-1-2等の入出力装置には、従来技術によるマルチプロセッサシステムと同様に、これらを制御するためのメモリマップドレジスタ(図示せず)があり、これらのレジスタは、主記憶が属するのと同じアドレス空間にマップされている。いわゆるメモリマップドI/O方式が本実施の形態でも採用されている。

【0026】本実施の形態では、キャッシング可能な主記憶データへのアクセス要求がいずれかのプロセッサユニットで発生したとき、そのデータがそのプロセッサユニット内のキャッシングに保持されていないときに、他の全てのユニットの内、主記憶に対するキャッシングを含んでいるプロセッサユニットおよびそのデータを保持している一つのメモリユニットのみに、アクセス要求をクロスバスイッチ1を介して部分放送し、他のメモリユニットおよび全ての入出力ユニットには、このアクセス要求を送付しないように、各プロセッサユニットの送信部7-i内に送信先決定回路を設けた。これにより、キャッシング一致制御の動作を各プロセッサユニットで並行して行うことを可能にし、しかも、それに関与しないユニットにはこの要求を送らないことにより、これらの他のユニットがこのアクセス要求の転送と並行して、クロスバスイッチ1により他の通信を行えるようにした。すなわち、このアクセス要求の転送の間もクロスバスイッチ1の並列転送能力を利用できるようにした。

【0027】さらに、入出力装置内のメモリマップドレジスタをアクセスするアクセス要求がいずれかのプロセッサユニットで発生したとき、他の全てのユニットの内、入出力ユニットの全てにアクセス要求をクロスバスイッチ1を介して部分放送し、他のユニットには、このアクセス要求を送付しないように、各プロセッサユニットの送信部7-i内に送信先決定回路がこのアクセス要求の送付先を決定する回路を設け、各入出力ユニットに接続された入出力装置内には、このアクセス要求が指定するアドレスを割り当てられたレジスタを有するか否かを判断する回路を設けた。これにより、入出力装置内の

メモリマップドレジスタへ実際に割り当てられたアドレスが変更されても、それに関係なく、アクセス要求で指定されたアドレスを有するメモリマップドレジスタをアクセスできる。しかも、入出力ユニットユニット以外のユニットにはこの要求を送らないことにより、これらの他のユニットがこのアクセス要求の転送と並行して、クロスバスイッチ1により他の通信を行えるようにした。すなわち、このアクセス要求の転送の間もクロスバスイッチ1の並列転送能力を利用できるようにした。

【0028】さらに、プロセッサユニット、メモリユニットあるいは入出力ユニットのいずれかに属するメモリマップドレジスタをアクセスするアクセス要求がいずれかのプロセッサユニットで発生したとき、全てのユニットにこのアクセス要求をクロスバスイッチ1を介して放送するようにした。これにより、このようなアクセス要求の送付先を決める回路を簡略化した。このようなレジスタへのアクセスの回数は小さいので、このような放送による弊害が少ないことを利用した。

【0029】(アドレス空間の構造) 図4は、本実施の形態で採用するアドレス空間の例を示している。本実施の形態では、このアドレス空間は32ビットのアドレスで構成されると仮定している。このアドレス空間は3つの領域に区分されている。

【0030】00000000番地からFFF_F_F_F_F番地までの最初の領域100aには、メモリユニット3-0および3-1にあるメモリバンク11-0および11-1によって構成される主記憶がマッピングされている。メモリバンク11-0および11-1はキャッシュブロックの大きさに相当する32バイトを単位にインタリーブされている。例えば、0番地から31番地まではメモリバンク11-0に、32番地から63番地まではメモリバンク11-1にマッピングされている。したがって、この領域のアドレスは、32バイト毎に、メモリユニット3-0と3-1に交互に割り当てられている。なお、この領域には、キャッシュにデータが保持されるキャッシング可能領域とそうでないキャッシング不可能領域があり、これらの領域の設定はいずれかのプロセッサユニットで実行されるプログラムにより行なわれる。

【0031】E0000000番地からEFF_F_F_F_F番地までの第2の領域100bには、プロセッサユニット2-0ないし2-3、メモリユニット3-0ないし3-1、入出力ユニット4-0ないし4-1内に設けられたメモリマップドレジスタがマッピングされている。この領域はキャッシング不可能領域である。この領域内のアドレスのレジスタへのマッピングは、メモリバンクのようなインタリーブではない。すなわち、この第2の領域100bを、それぞれ連続するアドレスを有する複数の部分領域に分け、それぞれの部分領域を同一のユニット内のメモリマップドレジスタに割り当てる。但し、

同一のユニット内の複数のレジスタが、この領域内の複数の連続する領域に分散してマッピングされてもよい。なお、複数プロセッサへの割込み通知等のため、この領域内の同一のアドレスを異なるユニットに属する複数のメモリマップドレジスタに割り当ても構わない。

【0032】各ユニットが占める部分領域の指定は、それ自体公知のいろいろの方法を使用できる。たとえば、各ユニットが使用する部分領域は、そのユニットに設けられたDIPスイッチやジャンパ線にて指定し、あるいは、各ユニットが実装されるプリント板がバックプレーンから受ける固定信号にて指定する。あるいは、各ユニットが使用する部分領域の上限アドレスと下限アドレスとを示すレジスタを各ユニットに用意し、これにサービスプロセッサがこれらのアドレスをスキャンインによって設定することもできる。

【0033】アドレス空間のうち、F0000000番地からFFF_F_F_F_F番地までの第3の領域100cは、入出力ユニット4-0ないし4-1内の入出力アダプタ13-0ないし13-1に接続されたディスク装置10-0-1ないし10-1-2や回線接続装置(図示せず)等の入出力装置内に設けられた複数のレジスタに割り当られる。この領域もキャッシング不可能領域である。これらのレジスタへのアドレス設定についても、上述のような従来から用いられている方法を使用できる。しかし、これらの入出力装置内に設けられたメモリマップドレジスタへのアドレスの割り当ては、接続する入出力装置の種類や数に依存し、ユーザによるシステムの使用開始時における使用開始後にそれらの入出力装置の種類や数あるいはそれらが接続される入出力ユニットが変更されるという構成変更があり得る。この場合、構成変更毎に、各メモリマップドレジスタに割り当られるアドレスを変更する必要がある。

【0034】あるプロセッサユニット、たとえば、2-0において、その中のプロセッサ、たとえば、9-0-1内にて、主記憶あるいはメモリマップドレジスタへのアクセス要求が発生した場合、このマルチプロセッサシステムの動作は、そのアクセス要求が下記のデータのいずれへのアクセスを要するか否かにより変わる。

【0035】(1) 主記憶内のキャッシング可能なデータ、

(2) 入出力装置内のメモリマップドレジスタに保持されたデータ

(3) プロセッサユニット、メモリユニット、入出力ユニット内のメモリマップドレジスタに保持されたデータ

(4) 主記憶内のキャッシング不可能なデータ

以下、これらの場合に分けて、装置の動作を説明する。

【0036】(装置動作1) -キャッシング可能なデータに対するアクセス

(プロセッサユニットの動作1) - C Read トランザクションの送出

プロセッサ9-0-1内には、プロセッサキャッシュ（図示せず）が含まれ、このアクセス要求が指定するデータに対して、プロセッサ9-0-1内でこのキャッシュに対してまずヒットチェックがなされ、このキャッシュがヒットすれば、ヒットしたデータがそのプロセッサでアクセスされる。このキャッシュがヒットしなかった時には、プロセッサ9-0-1は、そのアクセス要求が読み出し要求か書き込み要求かによらないで、キャッシュ制御5-0に読み出し要求を送る。この読み出し要求は、アクセスすべきデータのアドレスと、そのアドレスがキャッシング可能なデータに対するものであるかを示す信号を含む。このキャッシュ制御5-0は、キャッシュ6-0に対してヒットチェックを行う。このキャッシュがヒットした場合には、キャッシュ制御5-0は、ヒットしたブロックをプロセッサ9-0-1に送る。プロセッサユニットの以上の動作はそれ自体公知である。ヒットしなかった場合には、キャッシュ制御5-0は、以下のようにして、他のプロセッサユニット2-1から2-4と、いずれかのメモリユニット3-0または3-1にC Read（キャッシュリード）トランザクションを生成して、送信部7-0に送る。

【0037】図2（a）は、上述のC ReadトランザクションのごとくReadタイプのトランザクションのフォーマットを示す。このトランザクションは8バイトの線の上を1サイクルで転送される。このトランザクションの第1バイトにはTYPEフィールドがあり、このトランザクションがC Readあるいは他のReadであることを示す値が格納される。第2バイトは空きであるが、後にポート番号が組み込まれるフィールドである。第3ないし第4バイトには、MISCフィールドがあり、クロスバスイッチ1では用いないが、このトランザクションを受理したユニットが使用する制御情報が格納される。第5ないし第8バイトにはADDRESSフィールドがあり、このトランザクションでアクセスするアドレスが格納されている。

【0038】図6は、送信部7-i（i=0, 1, . . .）の内部の構成を示す。この回路は送信先決定回路70-iとトランザクション組立回路72-iとを有する。トランザクション組立回路72-iは、クロスバスイッチ1に供給すべき完成されたトランザクションを生成する回路である。すなわち、24は自ポート番号発生回路であり、クロスバスイッチ1の複数の入力ポートの内、その送信部が接続されている入力ポートの番号を生成する回路である。この回路は、DIPスイッチやジャンパ線にて自ポートの番号を発生するような回路であってもよいし、サービスプロセッサ（SVP）（図示せず）等によりシステム立ち上げ時にスキャンインされるレジスタのような回路であってもよい。マージ回路25は、線d-iを介してキャッシュ制御5-0から供給されるトランザクション内の第2バイトフィールドに回

路24により供給される自ポート番号を埋め込むことにより、完成されたトランザクションを生成し、線b-iを介してクロスバスイッチ1に供給する。

【0039】送信先決定回路70-iは、この完成されたトランザクションを出すべき一つまたは複数の送出先を決定する回路である。この決定は、トランザクションの種類とそこに含まれるアドレスの値に基づいて行われる。今仮定しているキャッシュリードトランザクションC Readの場合には、送信先決定回路70-iは、全プロセッサユニットと、そのトランザクションに含まれるアドレスが割り当てられているいずれか一つのメモリユニットを複数の送出先として決定する。

【0040】図5は、図2あるいは図3で示したトランザクションのADDRESSフィールドの詳細を示す図である。32ビットのADDRESSフィールドのうち、ビット0ないし3の値を調べることによって、当該アドレスが図4に示した「主記憶」、「クロスバスイッチに直結するユニットのメモリマップドレジスタ」、あるいは、「入出力ユニットを経由してクロスバスイッチに接続される入出力装置のメモリマップドレジスタ」のいずれかであるかを判定することが可能である。また、ビット26が0であるか1であるかに応じて、「主記憶」へのアクセスがメモリユニット3-0へのアクセスであるか、メモリユニット3-1へのアクセスであるかを判定できる。

【0041】図6において、22は、このことを用いて、トランザクションが指定するアドレスが、図4に示すアドレス空間の領域100aから100cのいずれの領域に属するかを判定するためのデコーダであり、線d-iから入力されたトランザクションのADDRESSフィールドのうちビット0ないしビット3の内容をデコードする。同様に、23はアドレスが領域100aに属する場合において、そのアドレスがいずれのメモリユニットに属するかを判別するためのデコーダであり、線d-iから入力されたトランザクションのADDRESSフィールドのうちビット26の内容をデコードする。21はトランザクションの種別を判別するためのデコーダであり、線d-iから入力されたトランザクションのTYPEフィールドをデコードする。

【0042】37-0ないし37-5はパターン発生回路であり、それぞれに対する入力が値1を有すると、それぞれ11111000、11110100、00001000、00000100、11111111、00000011なる8ビットのビットパターンを出力する。ここで、このビットパターンは、クロスバスイッチ1の出力ポート0から7に対応する8ビットからなり、各ビットの値が1の時には、そのビットに対応する出力ポートにトランザクションを転送すべきことを指示する。パターン発生回路37-0の出力パターンのごとく、複数のビットの値が1で他の複数のビットが0であ

るパターンは、それらの値1のビットに対応する複数の出力ポートにトランザクションを並列に転送すること、すなわち、そのトランザクションを部分放送することを指示する。パターン発生回路37-4の出力パターンのごとく、全ビットの値が1であるパターンは、全ての出力ポートにトランザクションを並列に転送すること、すなわち、そのトランザクションを放送することを指示する。AND回路28ないし、33、OR回路34ないし36は、デコーダ21から23の出力の値の組み合わせに応じて、パターン発生回路37-0から37-5を選択的に起動する。26はこれらのパターン発生回路37-0～37-7から供給される複数のビットパターンをマージする回路で、それらのビットパターンの対応するビットのORからなる値を有する新たな8ビットのビットパターンを生成し、転送要求信号REQ[0-7]として線a-iを介してクロスバスイッチ1に供給する。同時に、線b-i上のトランザクションと線a-i上の転送要求信号REQ[0-7]の取り込みを指示するタイミング信号であるコマンドを線x-iを介してクロスバスイッチ1に供給する。この転送要求信号REQ[0-7]も8個の出力ポートにそれぞれ対応する8ビットからなり、値1のビットに対応する出力ポートに対してトランザクションを転送すべきことをクロスバスイッチに要求する。なお、デコーダ27は、デコーダ21でデコードされたトランザクションが、後述するように、他のユニットから転送されたトランザクションに対する応答であるReturnトランザクションであるときに使用される。その詳細は後に説明する。図7は、送信先決定回路70-iに対するいろいろの入力信号の値と、この回路により発生される転送要求信号REQ[0-7]の各ビットの値との関係を説明する図である。図中、*はdon't careを表す。

【0043】今仮定しているキャッシュリードトランザクションC Readの場合には、デコーダ21のC Read出力が1となり、デコーダ22の0～D出力が1となる。デコーダ23の0出力あるいは1出力の一方が1となる。この結果、AND回路28と29のいずれか一方の出力が1となり、パターン発生回路37-0と37-1の一方が1と起動される。たとえば、パターン発生回路37-0が起動された場合、全てのプロセッサユニットと、メモリユニット3-0が送出先として決定される。なお、本実施の形態では、キャッシング可能なデータは主記憶領域内のみに存在するので、デコーダ21によりTYPEがC Readであることをデコードすれば、デコーダ22によるアドレスビット0ないしビット3の値をデコードする必要は必ずしもない。しかし、プログラムエラーが起こることを考えて、C Readトランザクションの場合もデコーダ22によるデコード結果も、送出先の決定に使用している。

【0044】(クロスバスイッチの動作) クロスバスイ

ッチ1は、いろいろのユニットから送出されたトランザクションを、それらのトランザクションに対応してそれらのユニットから供給される転送要求信号が指定する一つまたは複数の送出先に転送する。本実施の形態のクロスバスイッチは、任意の数の任意の送出先の組合せに対しても同じトランザクションを並列に転送できるよう構成されている。さらに、複数の送出先への送付は、互いに独立に実行されるようになっている。すなわち、いずれかの送出先への送出が出来ないときでも、他の送出先が送出可能であるならば、それらの送出可能な送出先にトランザクションを送出するようになっている。

【0045】図9はクロスバスイッチ1の内部の構成を示す。簡単のため、図9にはクロスバスイッチ1の構成要素の一部のみを示してある。クロスバスイッチ1には図示のとおり、入力ポート51-0ないし51-7と、出力ポート52-0ないし52-7がある。図1では、同じ番号の入力ポートと出力ポートの組をポート0ないし7として示した。入力ポート51-0ないし51-7には、それぞれリクエスト制御53-0ないし53-7があり、それぞれ線a-0ないし7を経由して転送要求信号REQ[0-7]を入力する。リクエスト制御53-0ないし53-7はすべて同一の内部構成になっている。また、入力ポート51-0ないし51-7には、それぞれトランザクションレジスタ54-0ないし54-7があり、それぞれ線b-0ないし7から入力されるトランザクションを保持する。各入力ポートのリクエスト制御、たとえば53-0、とトランザクションレジスタ、たとえば、54-0、には、線x-0を介してコマンド信号が入力され、REQレジスタ61とトランザクションレジスタ54-0は、このコマンドに応答して、それぞれ転送要求信号REQ[0-7]とトランザクションを取り込むように構成されている。出力ポート52-0ないし52-7には、それぞれ調停回路55-0ないし55-7と、選択回路56-0ないし56-7がある。選択回路56-0ないし56-7の出力信号は、それぞれ線c-0ないし7に接続されている。

【0046】図10はリクエスト制御53-i(i=0～7)の代表として、53-0の内部構成を示している。図中、61は8ビット幅のREQレジスタであり、ビット0ないし7が、それぞれ線a-0を経由して入力されるREQ[0]ないしREQ[7]信号を、線x-0を介して供給されるコマンドに応答して格納する。各ビットからは信号r00、r01、r02、r03、r04、r05、r06、r07が出力され、それぞれが調停回路55-0ないし55-7に接続されている。62ないし69はAND-OR回路である。60はAND回路である。また、調停回路55-0ないし55-7からは、それぞれ信号g00、g01、g02、g03、g04、g05、g06、g07が出力されており、A

ND-OR回路62ないし69に入力されている。リクエスト制御53-1ないし53-7の構成および調停回路との接続関係も同様である。

【0047】今仮定にしたがって、入力ポート0から線a-0と線b-0を経由してREQ[0-7]信号とトランザクションが入力されると、これらはそれぞれREQレジスタ61とトランザクションレジスタ54-0に格納される。するとREQレジスタ61に格納されたREQ[0-7]の値は、それぞれ調停要求のための信号r00ないしr07として調停回路55-0ないし55-7に伝達される。また、トランザクションレジスタ54-0に格納されたトランザクションは線t0を経由して選択回路56-0ないし56-7に伝達される。調停回路55-0ないし55-7のうち、信号r00ないしr07として信号の値1を伝達された調停回路は、他の入力ポート51-1ないし51-7から入力される信号r11等との調停を行ない、入力ポート51-0からの調停要求が満たされると調停完了を表す信号g00、g01等を入力ポート51-0に送る。また、同一の出力ポートにある選択回路に指示をして線t0から入力されているトランザクションを線c-0ないしc-7に出力させる。また、リクエスト制御53-0では、AND-OR回路62ないし69とAND回路60によって、調停要求のための信号として値1の信号を送ったすべての調停回路から調停完了を表す信号g00、g01等が送られてきたことを検出して信号res0を生成する。この信号はREQレジスタ61およびトランザクションレジスタ54-0に伝達される。この信号を受けたREQレジスタ61およびトランザクションレジスタ54-0は、レジスタの内容をクリアして、次のREQ[0-7]信号およびトランザクションを受信可能になる。このようにして、所望のユニットにトランザクションの転送が完了する。今の仮定では、転送要求信号REQ[0-7]は、11111100(あるいは11110100)であるために、入力ポート0から入力されたCReadトランザクションは、出力ポート0から4(あるいは出力ポート0-3と5)に並列に転送される。

【0048】以上の動作から分かるように、本実施の形態では、トランザクションCReadの場合のごとく、トランザクションを全てのユニットの放送するのではなく、一部のユニット(全てのプロセッサユニットと一つのメモリユニット)に部分放送するので、クロスバスイッチ1は、このトランザクションの部分放送と並行して、このトランザクションの送信元(今の仮定では、プロセッサユニット2-0)以外のユニットから他のトランザクションをこのトランザクションを放送されない他のユニットに転送することが出来る。とくにトランザクションCReadを部分放送する場合、ネットワークは、各入出力ユニット4-0あるいは4-1は、そこに接続された入出力装置内のアクセスを要求するトランザ

クションをトランザクションCReadの部分放送と並行して転送することが出来る。したがって、本実施の形態では、ネットワークの並列転送能力を生かすことが出来る。さらに、転送要求信号REQ[0-7]は出力ポート信号に対応したビットからなり、各ビットは、対応する出力ポートの調停回路に供給されるため、本実施の形態ではネットワークは、任意の数の任意の送出先の組み合わせに対して同じトランザクションを並列に送出するか否かを簡単に制御することができる。さらに、各出力ポート毎に、その出力ポートに対応する転送要求ビットに基づいて調停を行い、各出力ポートでの調停結果に依存し、しかし、他の出力ポートでの調停結果に依存しないで、各出力ポートへの同じトランザクションの転送を制御するために、いずれかの出力ポートで調停により上記トランザクションの調停が成功しない場合においても、調停が成功したが他の出力ポートにそのトランザクションを転送できる。したがって、全体として、同じトランザクションを複数の出力ポートに転送するのを高速化出来る。

【0049】(プロセッサユニットの動作2)-CReadトランザクションへの応答

クロスバスイッチ1によりトランザクションが、各プロセッサユニットに送出されると、各プロセッサユニットは、このトランザクションを受信し、このトランザクションを、その種別とそこに含まれているアドレスの値に応じて処理する。

【0050】図8は受信部8-i(i=0,1,..)の内部の構成を示す。図中、トランザクション分解回路42は、クロスバスイッチ1から線c-iを介して入力されたトランザクション内のPORTフィールドをPORTレジスタ41に格納する。また、線c-iから入力されたトランザクションのうち、PORT番号フィールド以外を線e-iを介してキャッシュ制御5-2に送出する。なお、後述するように、受信したトランザクションがReturnトランザクションの場合、そのPORTフィールドは未使用であり、これに相当する部分に任意の値が格納されている可能性があるが、トランザクション分解回路42は、構わずこの値をPORT番号レジスタ41に格納する。また、なお、キャッシュ制御5-2は、各トランザクションをトランザクション組立回路42から受信する毎に、線f-iを介してPORTレジスタ41の内容をクリアするようになっている。

【0051】このトランザクションが今仮定しているCReadトランザクションの場合には、各プロセッサユニットでは、キャッシュ制御5-0が、キャッシュ一致制御のための動作を行うように構成されている。キャッシュ一致制御のためにはいろいろの方法を採用できるが、本実施の形態では、比較的簡単な方法として以下の方法を採る。すなわち、CReadトランザクションに含まれたアドレスのブロックに関するヒットチェックと

ヒットした場合には、そのブロックが主記憶から読み出された後に、更新されたか否か（すなわち、そのブロックがD i r t yか否か）をそのプロセッサユニット、たとえば2-1内のキャッシュ6-0に関して行う。このためにキャッシュ内の各ブロックに関する状態情報としてそのブロックがD i r t yか否かの情報を有している。各ヒットチェックの結果、ヒットが検出されなかつたときには、線f-0を経由してリセット信号を受信部8-1内のPORTレジスタ41に送り、PORTレジスタ41をクリアする。その結果、受信部8-1は、次のトランザクションを受信できるようになる。その後は何もしない。ヒットチェックの結果、もしヒットが検出されると、そのブロックがD i r t yか否かをそのブロックに対応して記憶している状態情報(D i r t y)に基づいて判定し、もしそのブロックが主記憶から読み出された後に更新されていない(C l e a nである)ときには、ヒットしなかった場合と同様の処理をする。しかし、ヒットチェックの結果、ヒットし、かつ、そのヒットしたブロックがD i r t yであるときには、そのブロックをC R e a dトランザクションの送信元プロセッサユニット、今の仮定では、2-0に転送するために、図2(c)に示すフォーマットのリターン(R e t u r n)トランザクションを生成し、送信部7-1に複数のサイクルの間にわたって送る。さらに、キャッシュ6-0内のヒットブロックを無効にする。

【0052】送信部7-1では、デコーダ27には、受信部8-1から線g-iを介して、受信したC R e a dトランザクション内のポートの番号が供給されている。今の仮定では、このポート番号は、C R e a dトランザクションの送信元のプロセッサユニットが接続されているクロスバスイッチ1内のポートの番号である。デコーダ21がこのトランザクションを解読すると、デコーダ27が、線g-iから値入力される、送出元のポート番号の値が0ないし7であるのに応じて、それぞれ1000000、01000000、00100000、00010000、00001000、00000100、00000010、00000001なるビットパターンをマージ回路26に出力する。今の例では、送信元のプロセッサユニットが2-0であり、それに割り当てられたクロスバスイッチのポート番号は0であるので、デコーダ27は10000000からなるビットパターンを生成する。このビットパターンは、生成されたR e t u r nトランザクションをクロスバスイッチ1のポート番号0の出力すべきことを指示する。このトランザクションは、クロスバスイッチ1により、C R e a dトランザクションの送信元のプロセッサユニット2-0に転送される。そこでは、キャッシュ制御5-0がこのトランザクションに含まれたブロックをキャッシュ6-0内に書き込み、さらに、先に読み出し要求を発行したプロセッサ9-0-1または9-0-2に転送する。そ

のプロセッサは、そのプロセッサ内のキャッシュにそのブロックを書き込むとともに、そのプロセッサが指定したデータ部分をこのブロックから切り出し、そのプロセッサ内の処理回路に送る。

【0053】(メモリユニットの動作) C R e a dトランザクションを受信したメモリユニット、たとえば3-0内のメモリバンク11-0は、いずれかのプロセッサユニットにおいて、先のキャッシュヒットが検出され、それに、ヒットしたブロックがD i r t yであることが検出されたときには、受信したC R e a dトランザクションに応答しないように構成されている。そうでないときには、受信したC R e a dトランザクションに応答して、R e t u r nトランザクションを生成するようになっている。そのトランザクションのプロセッサ2-0への返送はプロセッサ2-1へ返送する場合と同様にして行われる。このメモリユニットの動作も、キャッシュ一致制御の他の動作の一部と考えることが出来る。

【0054】以上のごとくにして、キャッシング可能なデータに対するアクセス要求を、全てのプロセッサユニットと関係するメモリユニットのみにクロスバスイッチにより部分放送することが出来る。さらに、そのデータを保持するキャッシュもしくはメモリユニットからそのデータを要求元のプロセッサユニットに送出し、さらに、複数のキャッシュ間の一致制御を実行できる、

(装置動作2) 一入出力装置内のメモリマップドレジスタへのアクセス

これらのレジスタには、図4の領域100cが割り当てられている。本実施の形態では、この領域が割り当てられたいずれのメモリマップドレジスタに保持されたデータもキャッシング不可能と仮定している。したがって、これらのレジスタのいずれかに保持されたデータの読み出しにはC R e a dトランザクションと異なる、ノンキャッシュリード(N R e a d)トランザクションを用いる。キャッシング制御、たとえば5-0、が生成するN R e a dトランザクションのフォーマットおよび送信部たとえば7-0で完成された後のN R e a dトランザクションのフォーマットは、C R e a dトランザクションと同じであり、これらはT y p eフィールドの値のみが異なる。また、このようなメモリマップドレジスタへのデータの書き込みには、ノンキャッシュライト(N W r i t e)トランザクションを使用する。キャッシング制御、たとえば5-0、が生成するN W r i t eトランザクションのフォーマットおよび送信部たとえば7-0で完成された後のN W r i t eトランザクションのフォーマットは、それぞれ図2(b)および図3(b)に示す通りであり、書き込むべきデータが含まれている。

【0055】さて、図4の領域100cが割り当てられているいずれのメモリマップドレジスタ内のデータもキャッシング不可能であるので、これらのメモリマップドレジスタのいずれかをアクセスするときには、そのレジ

スタが含まれる入出力装置10-0-1などに接続された入出力ユニット4-0または4-1にN Read (あるいはN Write) トランザクションを送付すればよい。しかし、本実施の形態では、これらのレジスタのアクセスに当たっては、全ての入出力ユニット4-0および4-1にN Read (あるいはN Write) トランザクションを送り、各ユニットに接続された入出力装置内で、そのトランザクションが指定するアドレスのレジスタがその入出力装置に含まれているか否かを判定するようになっている。その理由は以下の通りである。

【0056】すなわち、入出力ユニット4-0ないし4-1を介して接続する入出力装置は、本実施例に係るマルチプロセッサを出荷した後にも随時増設等の構成変更がありうる。ここで、送信部7-0ないし7-7に、実際にこのトランザクションを受理すべき入出力ユニットを特定するための回路を設けたとする。すると、入出力装置の構成変更のためこのアドレス領域へのメモリマップドレジスタのマッピングが変更されるたびにこの回路をDIPスイッチ等により調整するか、オペレーティングシステムの起動時にこの回路をソフトウェア的に毎回初期設定できるようにする必要がある。前者の方法はユーザ自身による入出力装置の構成変更が困難になるという問題点がある。後者の方法では、このような回路を初期設定するためのプログラムをオペレーティングシステムに追加しなければならないという問題点がある。このために、上述のように全ての入出力ユニットにトランザクションを転送することにより、上述の問題点がなくなる。なお、このアドレス領域100cに設けられるメモリマップドレジスタは、主に入出力装置10-0-1等の起動やステータス表示などに用いられ、通常のメモリアクセスに比べアクセス頻度が低いという性質がある。そのため、このトランザクションを受理する可能性があるユニット、すなわち、全ての入出力ユニット4-0ないし4-1に対してトランザクションを転送(部分放送)してもシステムの性能はそれほど低下しない。さらに、全ての入出力ユニット4-0ないし4-1に対してこれらのトランザクションを送出する方が、送出先を決める回路がより簡単になるという利点もある。しかも、他のプロセッサユニット等には送付しないので、クロスバスイッチの並列転送能力を低下させることが少ない。

【0057】さて、これらのトランザクションの送信先の決定は、以下のようにされる。図6の送信部7-i内の送信先決定回路70-iでは、デコーダ21がN ReadあるいはN Writeトランザクションを解読し、デコーダ22が、このトランザクション内のアドレスが領域100cに属することを検出したときに、OR回路36とAND回路33がパターン生成回路37-5を起動する。この回路37-5は、全ての入出力装置をトランザクションの送信先として指定するパターンを生成する。この結果、このトランザクションは、入出力ユニッ

ト4-0、4-1に送られる。

【0058】入出力ユニット4-0およびディスク装置10-0-1の動作を説明する。入出力ユニット4-0では、受信部8-6は、クロスバスイッチ1から線c-6を経由して送付されたN ReadあるいはN Writeトランザクションを受信すると、入出力アダプタ13-0にこのトランザクションのPORT番号以外を線e-6を介して送付する。

【0059】図16は入出力アダプタ13-0とディスク装置10-0-1の構成を示す。入出力アダプタ13-0では、線e-6から入力されたトランザクションのPORTフィールド以外の部分を入力レジスタ201に格納する。格納された値のうち、トランザクションのTYPE、MISCおよびADDRESSフィールドをデコーダ203に入力し、デコーダ203は、このトランザクションの種類とアクセス先を判定する。

【0060】入力されたトランザクションがバスhに接続するディスク装置10-0-1等の入出力装置にあるメモリマップドレジスタのアドレスを含むN ReadとN Writeである場合、または、これらの入出力装置がトランザクション組立回路263にて生成し、選択回路257、バスhおよび選択回路207を経由してメモリユニット3-0または3-1に送付していたN ReadへのReturnトランザクションである場合には、デコーダ203は線L04を介して出力レジスタに信号を送り、入力レジスタ201に保持された値を出力レジスタ202に転送させ、これをバスhに出力させる。

【0061】251は入力レジスタ、253はデコーダである。254および255はディスク装置10-0-1に設けられたメモリマップドレジスタのRegCおよびRegDである。RegC254は、ここに設定された値によってディスク装置10-0-1の動作が制御されるようなレジスタであり、図には1個のみ示されているが複数あっても構わない。なお、ここに設定された値によってディスク装置10-0-1の動作が制御されるための信号線としてL18を例示してある。RegD255は、ディスク装置10-0-1の内部状態を保持するレジスタであり、図には1個のみ示されているが複数あっても構わない。内部状態をこのレジスタに入力するための信号線としてはL17を例示してある。また、256はReturnトランザクション組立回路、257は選択回路である。

【0062】261はディスク制御回路、262はディスクドライブ、263はトランザクション組立回路である。ディスク制御回路261は、ディスクドライブの制御回路およびDMA (Direct Memory Access) 制御回路を含み、ディスク制御回路261に入力された値をディスクドライブ262に書き込んだり、ディスクドライブ262から読み出した値をトランザクション組立回路263によってトランザクションに

して出力する回路であり、公知技術にて構成される。【0063】出力レジスタ202に保持された値がバスhに出力されるとディスク装置10-0-1は、これを入力レジスタ251に格納する。格納された値のうち、トランザクションのTYPE、MISCおよびADDR ESSフィールドをデコーダ253に入力し、デコーダ253はこのトランザクションの種類とアクセス先を判定する。

【0064】入力されたトランザクションが、RegD(255)のアドレスを指定したNReadであった場合には、デコーダ253が線L12を介してRegD(255)に読みだし信号を送出する。するとRegD(255)は線L16を介して保持している値をReturnトランザクション組立回路256に出力する。一方、デコーダ253は線L13を介してReturnトランザクション組立回路256および選択回路257に信号を送り、RegD(255)から読み出された値をReturnトランザクションに組立て、バスhに出力させる。このトランザクションはさらに選択回路207を経由して線d-6に出力される。

【0065】入力されたトランザクションが、RegC(254)のアドレスを指定したNWriteであった場合には、デコーダ253が線L11を介してRegC(254)に書き込み信号を送出する。するとRegC(254)は入力レジスタ251に保持されている書き込みデータを取り込んで保持する。

【0066】入力されたトランザクションが、ディスク制御回路261がトランザクション組立回路263にて生成し、選択回路257、バスhおよび選択回路207を経由してメモリユニット3-0または3-1に送付していたNReadへのReturnトランザクションである場合には、デコーダ253は線L14を介して出力レジスタに信号を送り、入力レジスタ251に保持された値をディスク制御回路261に読み込ませる。

【0067】(装置動作3) 一他のメモリマップドレジスタへのアクセス

これらのレジスタは、本実施の形態ではプロセッサユニット2-0、2-1メモリユニット3-0、3-1、入出力ユニット4-0、4-1に含まれている。

【0068】これらのレジスタには、図4の領域100bが割り当てられている。本実施の形態では、この領域が割り当たれたいずれのメモリマップドレジスタに保持されたデータもキャッシング不可能と仮定している。したがって、これらのレジスタのいずれかに保持されたデータのアクセスにはNReadトランザクションあるいはNWriteトランザクションを使用する。図4の領域100bが割り当てられているいずれのメモリマップドレジスタ内のデータもキャッシング不可能であるので、これらのメモリマップドレジスタのいずれかをアクセスするときには、そのレジスタが現に含まれているユ

ニットにNRead(あるいはNWrite)トランザクションを送付すればよい。しかし、本実施の形態では、これらのレジスタのアクセスに当たっては、プロセッサユニット2-0、2-1、メモリユニット3-0、3-1、入出力ユニット4-0、4-1の全てにNRead(あるいはNWrite)トランザクションを送るようになっている。その理由は以下の通りである。

【0069】このアドレス領域100bに設けられるメモリマップドレジスタはこのマルチプロセッサの電源投入直後に行なわれる初期化や、システム内部での障害発生状況のログを保持するようなレジスタが大半であり、システムの通常動作時にはほとんどアクセスされないという性質がある。そのため、実際にこのトランザクションを受理すべきユニットを特定せず、受理する可能性があるユニット、すなわち全てのユニットにこのトランザクションを転送してもシステム性能の低下を招く危険性はない。このことを利用して、トランザクションを送付すべき特定のユニットを決定する回路を使用しないことにし、ハードウェア量を低減した。とくに、この領域100b内の同じアドレスは、異なるユニットに属する複数のレジスタに割り当てることが出来る。その場合には、この送付先決定回路は、それだけ複雑になる。したがって、本実施の形態によれば、このような場合にハードウェアの軽減量が大きくなる。

【0070】さて、これらのトランザクションの送信先の決定は、以下のようにされる。図6の送信部7-i内の送信先決定回路70-iでは、デコーダ21がNReadあるいはNWriteトランザクションを解読し、デコーダ22が、このトランザクション内のアドレスが領域100bに属することを検出したときに、OR回路36とAND回路32がパターン生成回路37-4を起動する。この回路37-4は、プロセッサユニット2-0、2-1メモリユニット3-0、3-1、入出力ユニット4-0、4-1の全てをトランザクションの送信先として指定するパターンを生成する。この結果、このトランザクションは、これらの全てのユニットにクロスバスイッチ1により放送される。

【0071】このトランザクションの放送を受けたときの各ユニットの動作の説明を、入出力ユニット4-0を例にして図16を参照して説明する。

【0072】204および205は入出力アダプタ13-0に設けられたメモリマップドレジスタRegAおよびRegBである。RegA(204)は、ここに設定された値によって入出力アダプタ13-0の動作が制御されるようなレジスタであり、図には1個のみ示されているが複数あっても構わない。なお、ここに設定された値によって入出力アダプタ13-0の動作が制御されるための信号線や回路は簡単のため図示していない。RegB(205)は、入出力アダプタ13-0の内部状態を検出するためのステータス検出回路208の出力を保

持するレジスタであり、図には1個のみ示されているが複数あっても構わない。また、206はReturnトランザクション組立回路、207は選択回路、209はReturn判定回路、210はOR回路である。

【0073】入力アダプタ13-0では、線e-6から入力されたトランザクションのPORTフィールド以外の部分を入力レジスタ201に格納する。格納された値のうち、トランザクションのTYPE、MISCおよびADDRESSフィールドをデコーダ203に入力し、デコーダ203は、このトランザクションの種類とアクセス先を判定する。

【0074】入力されたトランザクションが、RegB(205)のアドレスを指定したNReadであった場合には、デコーダ203が線L02を介してRegB(205)に読みだし信号を送出する。するとRegB(205)は線L06を介して保持している値をReturnトランザクション組立回路206に出力する。一方、デコーダ203は線L03を介してReturnトランザクション組立回路206および選択回路207に信号を送り、RegB(205)から読み出された値をReturnトランザクションに組立て、線d-6に出力させる。

【0075】入力されたトランザクションが、RegA(204)のアドレスを指定したNWriteであった場合には、デコーダ203が線L01を介してRegA(204)に書き込み信号を送出する。するとRegA(204)は入力レジスタ201に保持されている書き込みデータを取り込んで保持する。

【0076】以上の動作において、入力したトランザクションがNReadでないため、これに起因するReturnトランザクションを発生する必要がないとデコーダ203が判定した場合には、線L05、OR回路210および線f-0を経由してリセット信号を送信部7-6内のPORTレジスタ41に送り、PORTレジスタ41をクリアする。その結果、受信部8-6は次のトランザクションを受信できるようになる。Returnトランザクションを発生する必要がある場合には、Returnトランザクションを送信部7-6に線d-6を介してReturnトランザクションが送出するのをReturn判定回路209にて判定し、OR回路210および線f-6を経由して、送信部7-6内のPORTレジスタ41をクリアする。このように制御することで、Returnトランザクションを発生するときには、送信部7-6内のPORTレジスタ41にはReturnトランザクションの正当な送信先が格納されていることが保証される。

【0077】他のユニットに含まれるキャッシュ制御5-0等およびメモリバンク3-0ないし3-1等に含まれるおけるメモリマップドレジスタおよびそれに関する回路と動作は上記の動作と同様でありそれらの動作の説

明は省略する

(装置動作4) 一主記憶内のキャッシング不可能なデータへのアクセス
本実施の形態では、このデータへのアクセスにもNReadあるいはNWriteトランザクションを用いる。主記憶内のキャッシング不可能なデータは、いずれか一つのメモリユニットのみに保持されているので、各プロセッサユニットの送信部7-iは、このトランザクション内のアドレスにより一つの送信先のポート番号を決める。具体的には、図6のデコーダ21、22、23とOR回路35、AND回路30、31がパターン発生回路37-2、37-3の一つを起動するようになっている。たとえば、パターン発生回路37-2が起動されたときには、メモリユニット3-0がNReadトランザクションの送出先になる。このメモリユニットは、このトランザクションを受信すると、このトランザクションが要求するデータを含むReturnトランザクションを要求元プロセッサユニットに返送する。また、主記憶内へのキャッシング不可能なデータの書き込みには、NWriteトランザクションを使用する。

【0078】(装置動作5) 一その他のトランザクション

(4) いずれかのプロセッサユニット内のキャッシングからブロックを主記憶に書き戻す必要が生じたときに、ライトバック(Write Back)トランザクションが使用される。このトランザクションのフォーマットは、NWriteトランザクションと同様であり、このトランザクションの実行時の装置動作は、上記装置動作(3)で記載した、キャッシング不可能な主記憶データの書き込みの場合と同じである。

【0079】<実施の形態1の変形例>

(1) 実施の形態1では、プロセッサユニット、メモリユニットおよび入出力ユニットの数を、それぞれ4、2、2としているが、本発明が他の構成であっても実施可能であることは以上の説明から明らかである。

【0080】(2) 実施の形態1では、キャッシング制御5-0ないし5-3の制御方式としてストアインキャッシングを前提に説明したが、本発明を他の方式のキャッシングに適用することも容易である。また、トランザクション種は前述の5種類であると仮定したが、より多くのトランザクション種がある場合であっても本発明を拡張して適用することは容易である。

【0081】(3) 実施の形態1では、送信部7-0ないし7-7の構成は全て同一であるとした。しかし、メモリユニット3-0および3-1がCRead、NRead、NWriteおよびWrite Backのトランザクションを発生することはないので、送信部7-4ないし7-5から上記4種のトランザクションに対応して動作する部分を削除しても構わないことは明らかである。同様に、入出力ユニット4-0および4-1がCRead

およびWrite Backトランザクションを発生することはないので、送信部7-6ないし7-7から上記2種のトランザクションに対応して動作する部分を削除しても構わないことも明らかである。

【0082】(4)実施の形態1では、プロセッサユニット2-0ないし2-3は、それぞれ1枚のプリント板に実装されていても構わないし、それぞれ1つのLSIに実装されていても構わない。特に、プロセッサユニットが1つのLSIに実装されているならば、プロセッサユニットLSIをクロスバスイッチ1に直接接続することが可能なため、コンパクトなマルチプロセッサを提供することができる。さらに、線b-iと線c-iを従来技術にある双方向信号線を用いて時分割にインプリメントすることも容易であり、このようにすれば、プロセッサユニットからは線a-iと、線b-iおよびc-iを時分割で実現する線によってクロスバスイッチと接続できるようになるため、ビン数が少なく安価なLSIでプロセッサユニットを構成することができる。なお、上述のREQ[0-7]信号のパターンに8ビット信号の全ての組み合せがあらわれない性質を利用して、REQ[0-7]信号を適当にエンコードすることで信号線a-iの本数を削減することも可能である。

【0083】<発明の実施の形態2>第2の実施の形態の目的は、第1の実施の形態のマルチプロセッサをベースにし、これを安価に実現するためにクロスバスイッチをビットスライスされた複数の、同じ構造の大規模集積回路(LSI)にて構成するものである。以下では、実施の形態2が実施の形態1と異なる点を中心に説明する。

【0084】第2の実施の形態に係るマルチプロセッサでは、図11に示すように、各ユニットの送信部にビットスライス回路71-0、71-1、が設けられ、クロスバスイッチ101が、図13に示すように、同一構造の複数のLSI85-88にて構成されている。

【0085】送信部107-i(i=0,1,...)は、図12に示すように、送信先決定回路70-i、トランザクション組立回路72-iとビットスライス回路71-iとからなる。ビットスライス回路71-iは、選択回路80-0ないし80-3からなる。各選択回路80-0、または80-3には、送信先決定回路70-iが送出するREQ[0-7]信号が線a-iより入力され、トランザクション組立回路72-iが線b-iに出力する8ビット幅のトランザクションがそれぞれ2バイトずつに分割されて入力される。図3に示したREADタイプのトランザクションを例にするならば、選択回路80-0にはTYPEとPORTフィールドからなる2バイトが、80-1にはMSCフィールドからなる2バイトが、80-2にはADDRESSフィールドの上位2バイトが、80-3にはADDRESSフィールドの下位2バイトが入力される。トランザクション組

立回路72-iは実施の形態1で使用されたものと同じであるが、送信先決定回路70-iは、実施の形態1で使用されたコマンドと異なるコマンドx'-iを出力するように変形されている点で実施の形態1で使用されたものと異なる。

【0086】図14は、このビットスライス回路71-iの選択回路80-0ないし80-3により出力される4つの信号を示す。送信先決定回路70-iはまず第1の値を有するコマンドを線x'-iに送出し、選択回路80-0ないし80-3は、このコマンドに応答して、REQ[0-7]を選択し、線ab-i-0からb-i-3に出力する。なお、REQ[0-7]信号は8ビットであるのに対し、線ab-i-0からb-i-3はそれぞれ2バイト幅であるため、REQ[0-7]信号を接続しない部分には0を出力する。次に、送信先決定回路70-iは第2の値を有するコマンドを線x'-iに送出し、選択回路80-0ないし80-3は、このコマンドに応答して、トランザクション内の2バイト部分を選択する。以下、この動作をトランザクションの全体が選択されるまで繰り返す。

【0087】線ab-i-0からb-i-3に出力されたREQ[0-7]信号とトランザクションは、クロスバスイッチ101に入力される。

【0088】図13はクロスバスイッチ101のLSI分割を示す。クロスバスイッチ101は、85ないし88の4個のLSIから構成される。各LSIの各入力ポートは、対応する一つのユニットに2バイトの信号線で接続され、各LSIの各出力ポートも同様である。図13のようにLSI分割を行なうと、LSI85ないし88にて構成される第1スライスないし第4スライスには、図14のような形式で線ab-i-0ないしab-i-3を経由してトランザクションが入力されることになる。

【0089】図15はLSI85の内部の構成を示す。このLSIには図示のとおり、クロスバスイッチ101のポート0ないし7に対応して、入力ポート151-0ないし151-7と、出力ポート152-0ないし152-7がある。入力ポート151-0ないし151-7の構成は、図9に示した第1の実施の形態におけるクロスバスイッチの入力ポート51-0ないし51-7とほぼ同様であるが、各トランザクションレジスタ、たとえば154-0の幅が2バイトになっている点、このレジスタおよび対応するリクエスト制御たとえば53-0への信号入力線が各ポート毎に設けられた共通の信号線、たとえば、ab-0-0からなっている点、および実施の形態1で使用したコマンド異なるコマンドが線x'-0、またはx'-7より入力される点で実施の形態1と異なる。出力ポート152-0ないし152-7の構成は、図9に示した第1の実施の形態におけるクロスバスイッチの出力ポート52-0ないし52-7とほぼ同

様であるが、選択回路156-0ないし156-7の幅が2バイトになっている点が異なる。

【0090】ここで、ポート0から線a b-0-0を経由してREQ[0-7]信号とスライスされた4つのトランザクション部分の一つが時分割で入力されると、まずリクエスト制御53-0が、コマンドx'-0の第1の値に応答してREQ[0-7]信号を、リクエスト制御53-0内にあるREQレジスタ61にセットし、その後、トランザクションレジスタ154-0が、コマンドx'-0の第2の値に応答して、スライスされた一つのトランザクション部分を取り込む。その後の装置動作は、図9のクロスバスイッチと全く同様にして、スライスされたトランザクション部分が、REQレジスタに格納された値に従って、線c-0-0ないしc-7-0に出力される。他のLSIにも全く同じREQ[0-7]信号が入力されているので、全く同じ動作をして、それぞれがスライスされたトランザクションを出力する。その結果、所望のユニットに線c-0-0ないしc-7を経由して、トランザクションの転送が完了する。なお、他の入力ポートにREQ[0-7]信号とトランザクションとが入力された場合の動作も、上記の説明と同様である。

【0091】以上のようにすれば、クロスバスイッチ101を構成するLSI相互間で転送の制御に関する信号をやりとりすることなくトランザクション転送を行なえる。また、REQ[0-7]信号を各LSIへのデータバスに時分割多重によって転送しているため、クロスバスイッチ101を構成するためのLSIのピンの大部分を、クロスバスイッチ101に接続する各ユニットとの接続に用いることができる。このことは、クロスバスイッチを最小の数のLSIで構成できることを意味する。

【0092】また、クロスバスイッチを構成するためのLSIの信号ピンが、例えば272ピンというふうにあらかじめ決められている中で、16入力16出力のクロスバスLSIを構成する場合には、 $(272 - 16) \div (16 + 16) = 8$ ビット、という計算に基づき8ビットスライスのクロスバスLSIを設計すればよいことになる。もしもこのように計算されるLSIのスライス幅が、REQ信号の幅を下回ったならば、REQ信号を上述のような形式そのものでなく適当にエンコードすることで幅を狭めたり、REQ信号自身を複数サイクルを利用して転送するように設計すればよい。

【0093】本実施の形態には、以上のような設計上の自由度があるので、ピン数は少ないが安価なLSIを用いてクロスバスイッチ101を構成することができる。

【0094】<実施の形態2の変形例>以上の説明では、クロスバスイッチを2バイト幅×4スライスに分割していたが、異なる分割をしても本発明が適用できることは明らかである。また、クロスバスイッチ101のポート数を8として説明したが、他のポート数にて本発明を実施可能なことも明らかである。

【0095】

【発明の効果】本願発明によれば、いずれかのプロセッサユニット内のキャッシュが outputするメモリアクセスをインタコネクトネットワークを用いて他のキャッシュが監視出来る。しかも、そのような監視を可能とし、それでいてキャッシュを含まない入出力ユニット等へ悪影響を少なくてできる。

【0096】さらに、本願発明によれば、メモリマップドレジスタに対するアクセス要求の送出先を決める回路を簡単に出来る。とくに、入出力装置に含まれるメモリマップドレジスタへのアクセス要求を、その入出力装置に転送するための回路を簡単化できる。とくに、入出力装置の数あるいは組み合わせが変更された場合でも、アクセス要求で指定されたメモリマップドレジスタを含むいずれかの入出力装置にそのアクセス要求を転送するための回路を簡単化出来る。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るマルチプロセッサの全体構成図。

【図2】第1の実施の形態において使用される完成前のトランザクションのフォーマットを示す図。

【図3】図2のフォーマットから完成されたトランザクションのフォーマットを示す図。

【図4】第1の実施の形態で使用するアドレス空間の構成を示す図。

【図5】第1の実施の形態で使用するアドレスのフォーマットを示す図。

【図6】第1の実施の形態における送信部の詳細構成を示す図。

【図7】図6の送信部の動作説明を示す図。

【図8】第1の実施の形態における受信部の概略構成を示す図。

【図9】第1の実施の形態に使用するクロスバスイッチの詳細構成を示す図。

【図10】図9のクロスバスイッチに使用するリクエスト制御の詳細構成を示す図。

【図11】本発明の第2の実施の形態に係るマルチプロセッサの全体構成を示す図。

【図12】第2の実施の形態に使用する送信部の詳細構成を示す図。

【図13】第2の実施の形態に使用するクロスバスイッチのLSI分割方法を示す図。

【図14】第2の実施の形態に使用するビットスライス化されたトランザクションのフォーマットを示す図。

【図15】第2の実施の形態に使用するクロスバスイッチを構成するLSIの詳細構成を示す図。

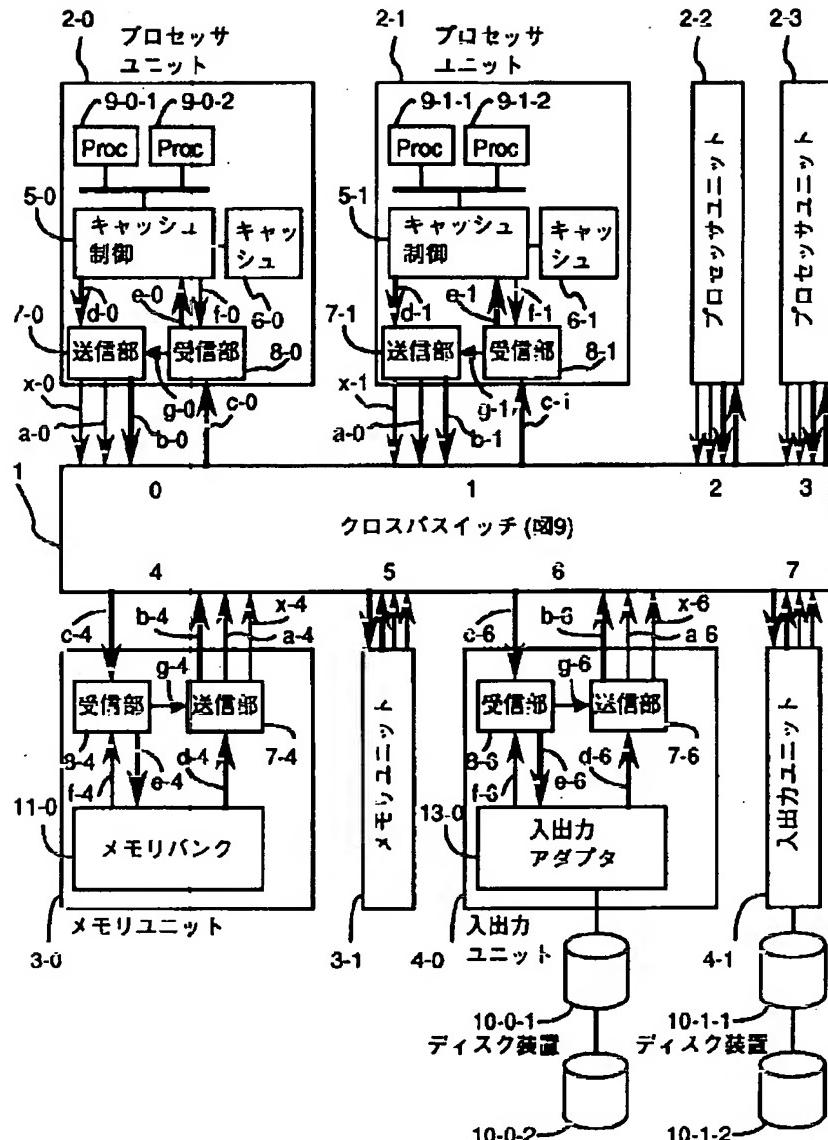
【図16】第1の実施の形態に使用する入出力ユニットと入出力装置の概略構成を示す図。

【符号の説明】

41…PORTレジスタ

【図1】

図1



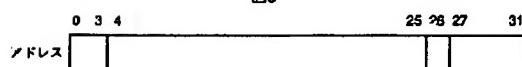
【図7】

図7

入力	出力			
TYPE	g-i	A[0-3]	A[26]	REQ[0-7]
CRead	•	0~D	0	11111000
•	0~D	1		11110100
NRead	•	0~D	0	00001000
NWrite	•	0~D	1	00000100
•	E			11111111
•	F			00000011
WriteBack	•	0~D	0	00001000
•	0~D	1		00000100
Return	0			10000000
1	1			01000000
2	2			00100000
3	3			00010000
4	4			00001000
5	5			00000100
6	6			00000010
7	7			00000001

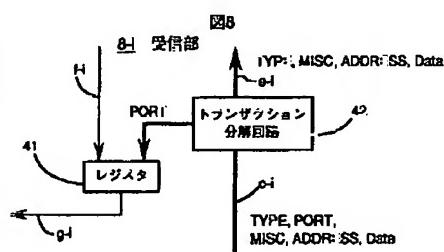
【図5】

図5

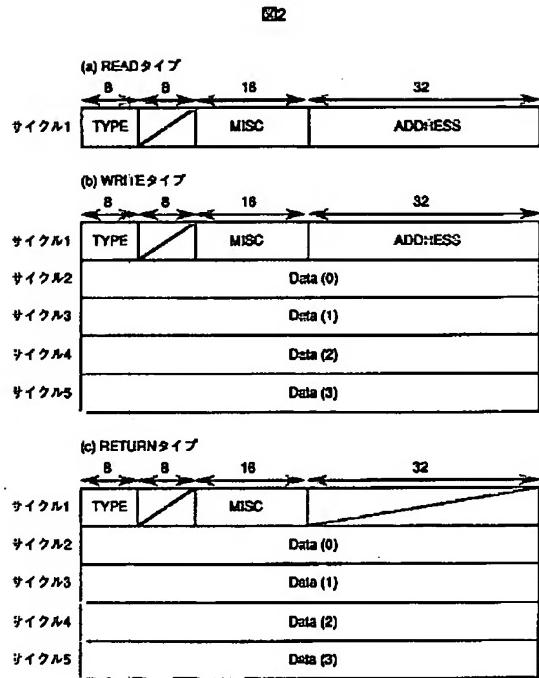


【図8】

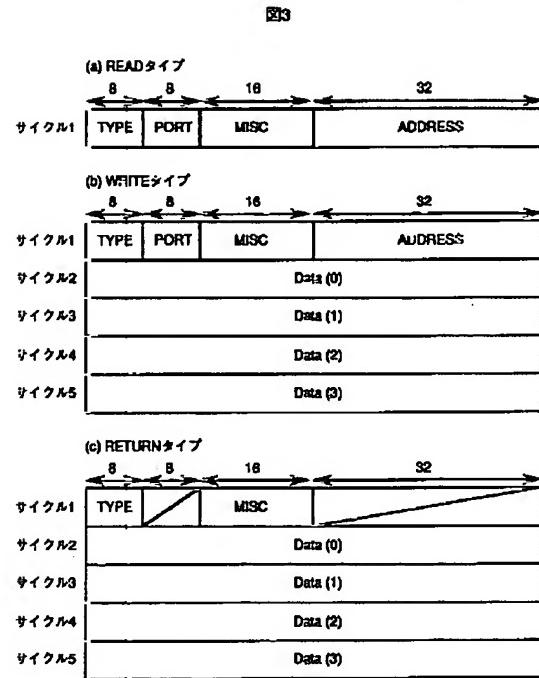
図8



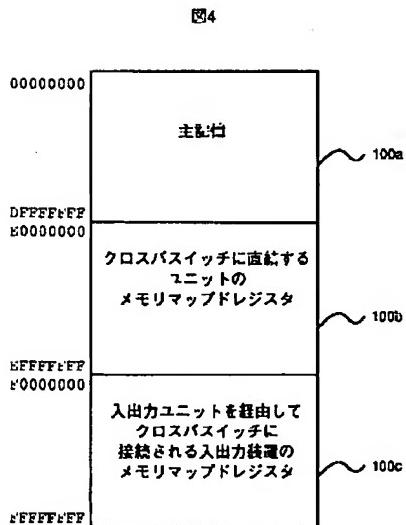
【図2】



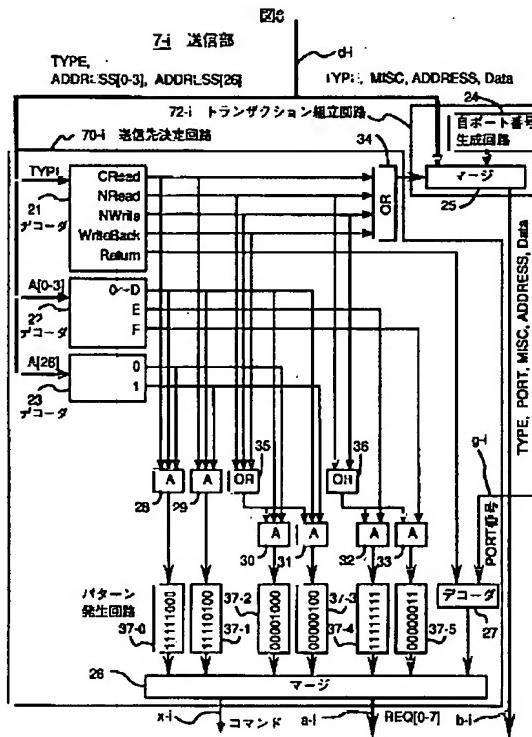
【図3】



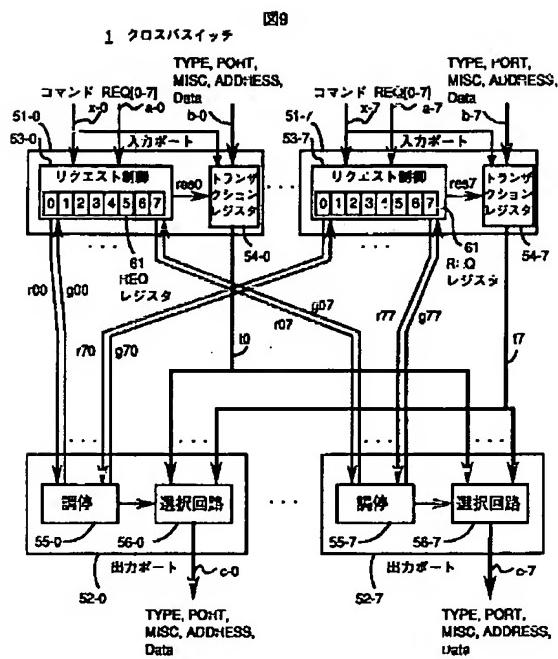
【図4】



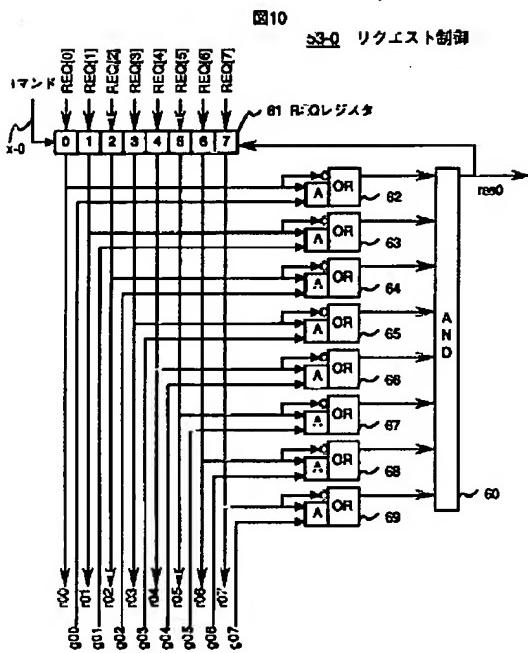
【図6】



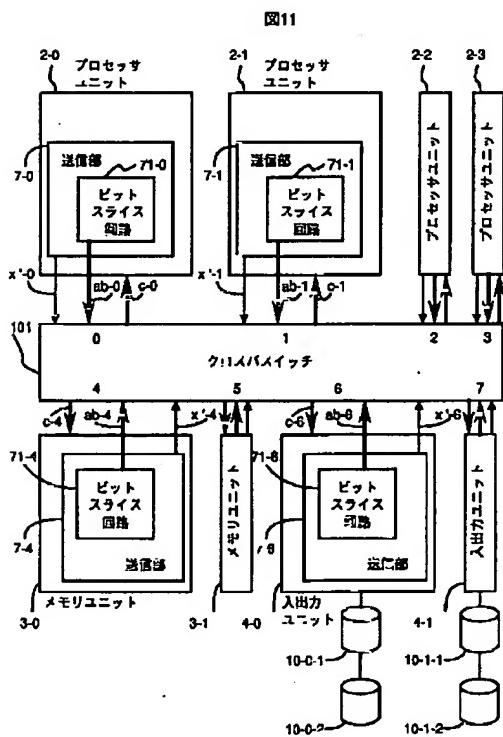
【図9】



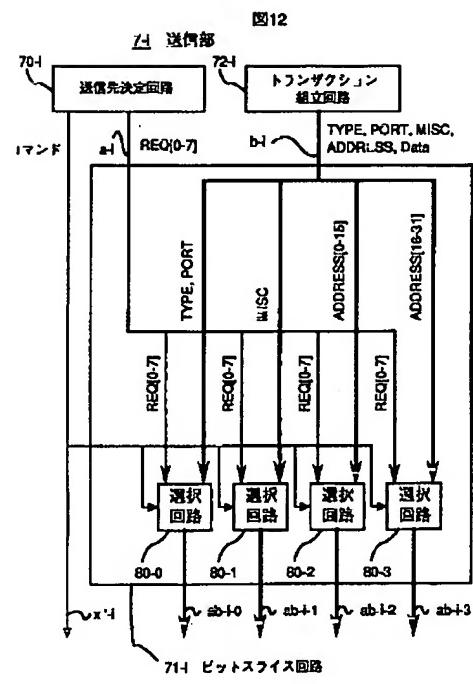
【図10】



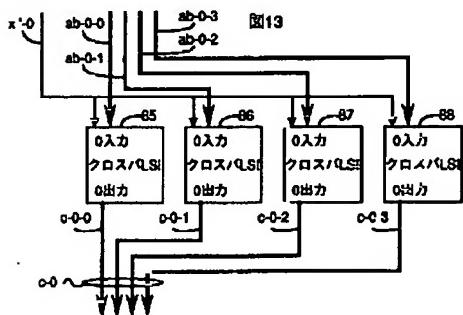
【図11】



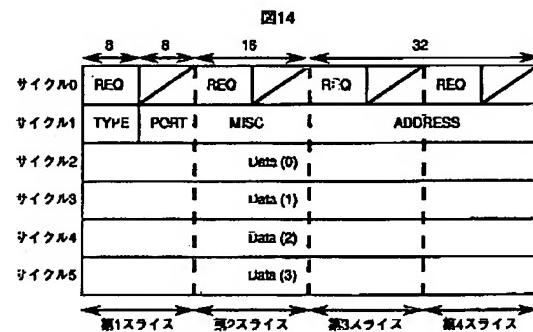
【図12】



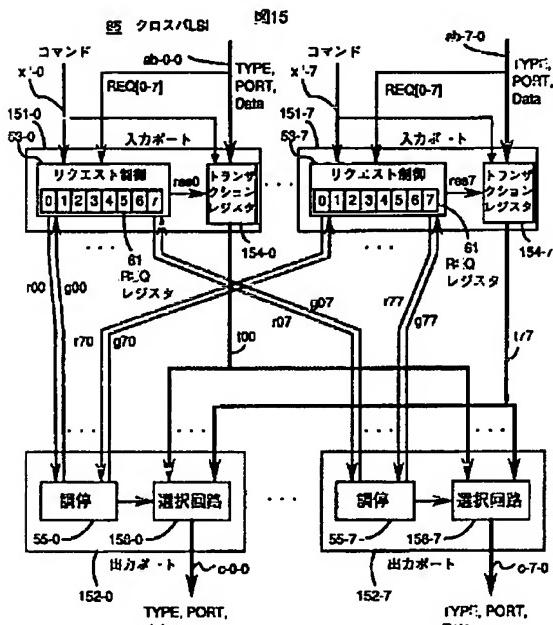
【図13】



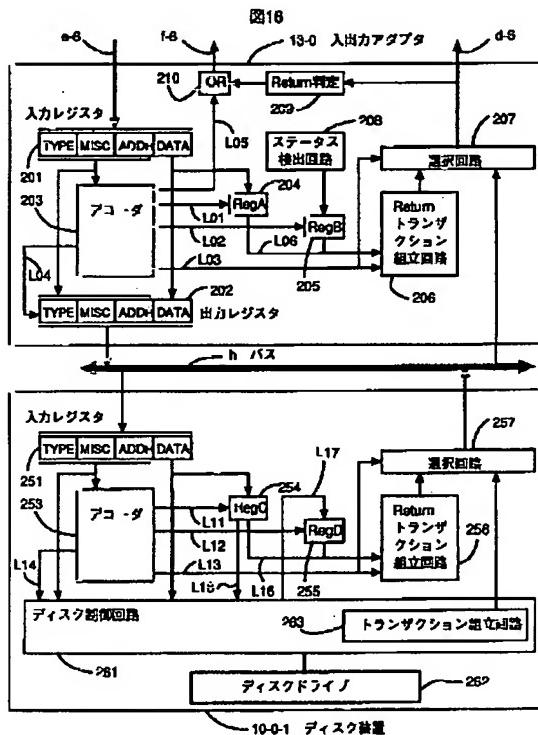
【図14】



【図15】



【図16】



フロントページの続き

(72)発明者 持田 哲也

神奈川県海老名市下今泉810番地 株式会
社日立製作所オフィスシステム事業部内

(72)発明者 柴田 正文

神奈川県海老名市下今泉810番地 株式会
社日立製作所オフィスシステム事業部内

(72)発明者 林 剛久

神奈川県川崎市幸区鹿島田890番地 株式
会社日立製作所情報・通信開発本部内